

## 小梅哥 AC620 FPGA 开发板进阶设计教程

全功能高性价比 FPGA 开发板 AC620 火热销售中，配套 800 页原创电子书。



购买链接:

<https://item.taobao.com/item.htm?spm=a1z10.1-c-s.w4004-13687301132.6.8uPVJ6&id=544830995588>

## 目录

|   |    |
|---|----|
| ModelSim 仿真使用常见问题及解决办法集锦.....   | 4  |
| 一、Can't launch the ModelSim-Altera software.....  | 4  |
| 问题原因 .....  | 4  |
| 解决方法 .....  | 4  |
| 二、仿真不出波形，波形窗口无内容 .....  | 5  |
| 问题出现原因 .....  | 5  |
| 解决方法 .....  | 6  |
| 三、Modelsim 报语法错误 .....  | 6  |
| 典型现象: .....   | 6  |
| 问题解析 .....  | 6  |
| 解决方法 .....  | 7  |
| 四、Error deleting "msim_transcript" .....  | 7  |
| 问题原因 .....  | 7  |
| 解决方法 .....  | 7  |
| 五、Error: (vsim-3170) Could not find .....   | 8  |
| 问题原因 .....  | 8  |
| 解决方法 .....  | 9  |
| 六、You selected Modelsim-Altera as Simulation Software in EDA Tool Settings,however..... | 10 |
| 问题原因 .....  | 11 |
| 解决方法 .....  | 12 |
| 七、Unable to checkout a license .....  | 13 |
| 问题原因 .....  | 13 |
| 解决方法 .....  | 13 |
| 八、Error loading design .....  | 14 |
| 问题原因 .....  | 14 |
| 解决方法 .....  | 14 |
| 九、Analysis and Synthesis should be completed.....                                       | 14 |
| 问题原因 .....  | 15 |
| 解决方法 .....  | 15 |
| 十、关于 modelsim 闪退问题 .....  | 15 |
| 十一、不报错但一直显示 Loading.....  | 17 |
| 问题原因 .....  | 18 |
| 解决方法 .....  | 18 |
| 十二、TestBench 中端口 reg 和 wire 定义解惑.....   | 18 |
| 十三、Port 'xxxx' not found in the connected module .....                                  | 19 |
| 十四：ERROR: No extended dataflow license exists.....                                      | 19 |
| 十五：Instantiation of 'xxxx' failed, The design unit was not found .....                  | 20 |
| 问题原因 .....  | 20 |
| 解决方案 .....  | 20 |
| ModelSim 常见使用技巧.....  | 21 |
| 一、ModelSim 修改测量时间显示的单位.....   | 21 |

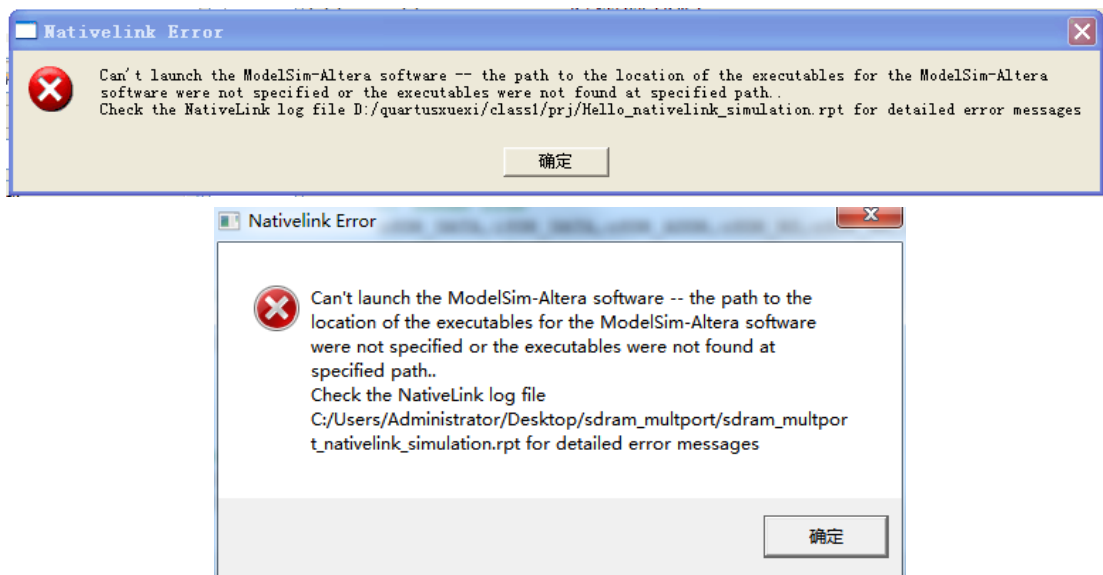
|                                |    |
|--------------------------------|----|
| 二、独立/合并 modelsim 窗口 .....      | 24 |
| 三、让光标(cursor)自动吸附至附近的一个沿 ..... | 25 |
| 四、快速对波形分组 .....                | 26 |
| 五、设置数据以模拟波形显示 .....            | 26 |

## ModelSim 仿真使用常见问题及解决办法集锦

### 一、Can't launch the ModelSim-Altera software

#### Error:

Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not found at specified path.

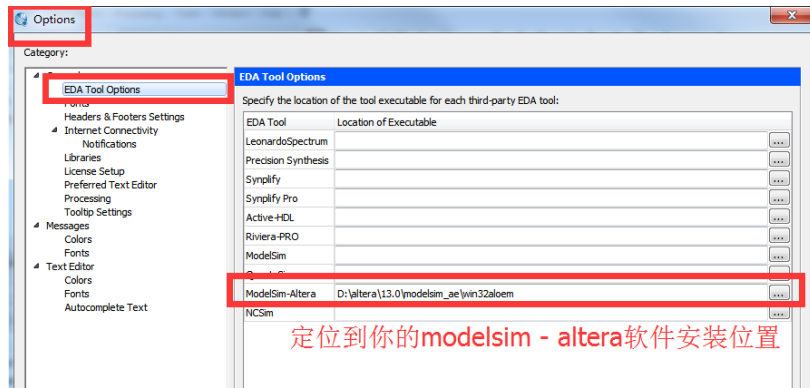


### 问题原因

Quartus II 软件中与 Modelsim 关联设置不对, 即 modelsim 路径设置有误。

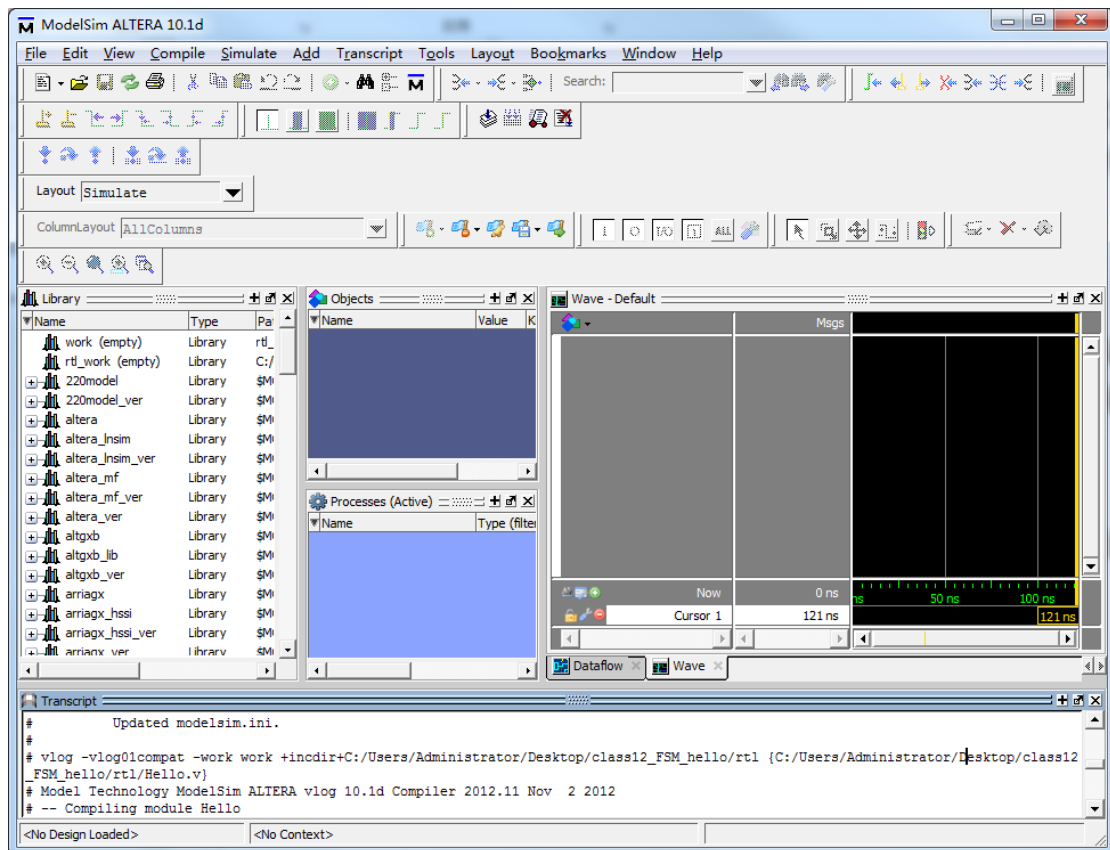
### 解决方法

Tools -> Options -> General -> EDA Tool Options



## 二、仿真不出波形，波形窗口无内容

这是很多新手在开始进行 Modelsim 仿真学习时最常遇到的问题，往往点击运行仿真后，Modelsim 软件能够打开，但是无法正确出现波形内容，或者波形窗口出现，但是没有任何信号和波形。

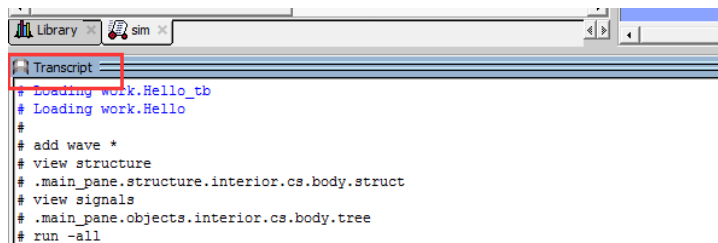


## 问题出现原因

你的代码编写有误，或者你的仿真脚本(nativelink)设置有误，或者其他原因

## 解决方法

遇到这种问题，解决思路很简单，查看 Modelsim 仿真软件的 Transcript 窗口中的报告内容。这个窗口里面的内容有很多，是可以通过滑动条或者鼠标滚轮上下翻动的，找到报 error 的信息，双击，如果是代码错误，就可以自动定位到错误位置。



## 三、Modelsim 报语法错误

很多人最开始学习 FPGA 使用 Modelsim 进行仿真时候都会遇到 Quartus 软件编译没有错误的工程，Modelsim 编译提示语法错误的情况。

### 典型现象：

```
# ** Error: C:/Users/Administrator/Desktop/class12_FSM_hello/rtl/Hello.v(37): (vlog-2730)
Undefined variable: 'state'.
#
# ** Error: C:/Users/Administrator/Desktop/class12_FSM_hello/rtl/Hello.v(74): 'state' already
declared in this scope (Hello).
# ** Error: D:/altera/13.0/modelsim_ae/win32aloem/vlog failed.
```

```
# -- Compiling module Hello
# ** Error: C:/Users/Administrator/Desktop/class12_FSM_hello/rtl/Hello.v(37): (vlog-2730) Undefined variable: 'state'.
#
# ** Error: C:/Users/Administrator/Desktop/class12_FSM_hello/rtl/Hello.v(74): 'state' already declared in this scope (Hello).
# ** Error: D:/altera/13.0/modelsim_ae/win32aloem/vlog failed.
```

## 问题解析

Modelsim 和 Quartus 对语法的分析严谨程度不一样，Modelsim 更严谨，或者更像 C 语言。所有信号必须先定义后使用。所以很多随心所欲写的代码，在 Quartus 中编译没问题，但是在 modelsim 中编译可能通不过。举个例子：

|  |   |
|--|---|
| <pre>reg [24:0] cnt; //定义计数器  //计数器计数进程 always@(posedge Clk50M or negedge Rst n) if(Rst_n == 1'b0) cnt &lt;= 25'd0; else if(cnt == 25'd24_999_999) cnt &lt;= 25'd0; else</pre> | <pre>//计数器计数进程 always@(posedge Clk50M or negedge Rst n) if(Rst_n == 1'b0) cnt &lt;= 25'd0; else if(cnt == 25'd24_999_999) cnt &lt;= 25'd0; else cnt &lt;= cnt + 1'b1;</pre> |
|--|---|

```
cnt <= cnt + 1'b1;
```

```
reg [24:0] cnt; //定义计数器
```

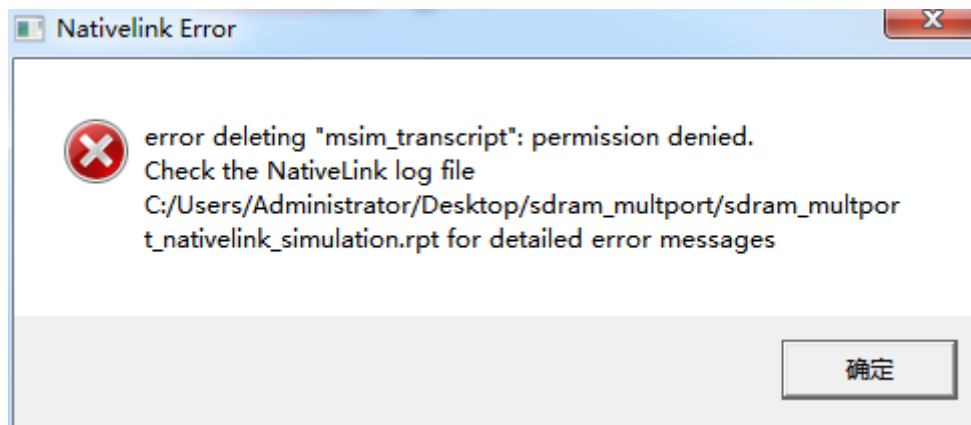
两者的区别仅仅在于，左侧代码是先定义 cnt，然后对其进行赋值操作作用到了该信号（除赋值操作外，其他任何操作也都算使用该信号），这样写在 Quartus 软件和 Modelsim 软件中都是没有问题的，但是右侧，先使用了 cnt 这个信号，后面才来定义，这样的写法，在 Quartus 软件中没问题，但是 Modelsim 软件中编译就会报错，提示找不到 cnt 这个信号。

## 解决方法

大家在写代码时候一定要规范，先定义信号再使用。参考举例代码的左侧代码。

## 四、Error deleting “msim\_transcript”

Error deleting “msim\_transcript”:permission denied.  
Check the NativeLink log file



## 问题原因

同一工程 Modelsim 窗口多开。

## 解决方法

关闭正在运行的 modelsim 软件，再启动仿真。

## 五、Error: (vsim-3170) Could not find

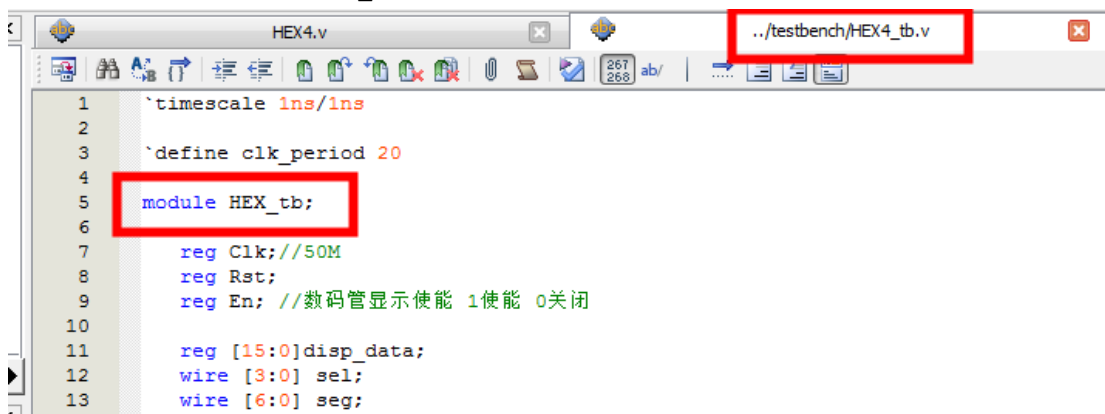
\*\* Error: (vsim-3170) Could not find '.....simulation/modelsim/rtl\_work.HEX4\_tb'.

Error loading design

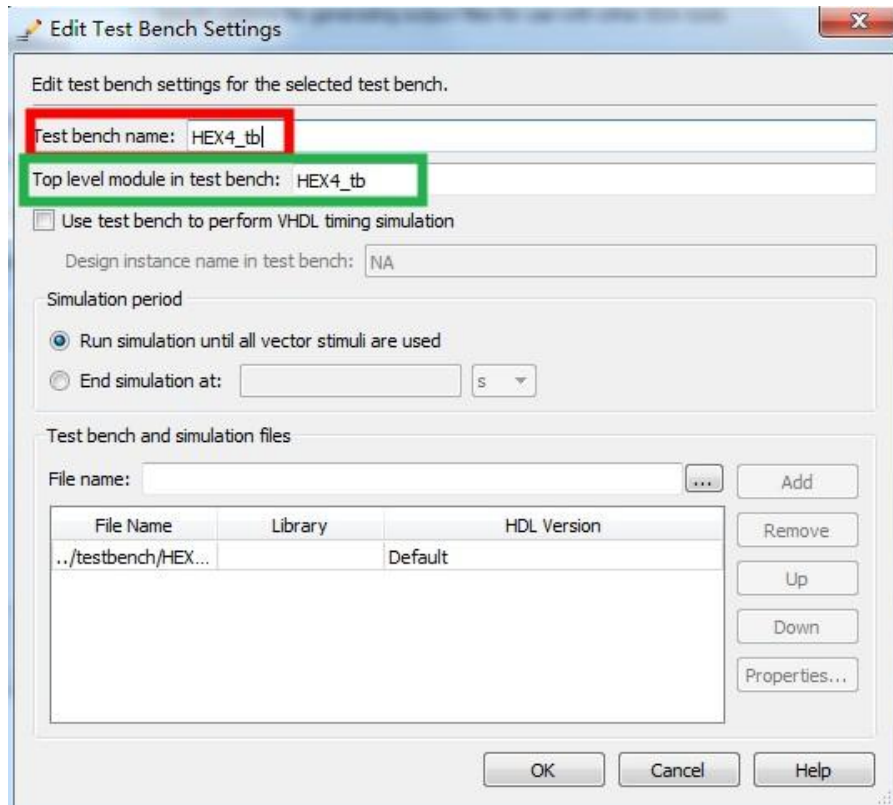
```
# vlog -vlog01compat -work work +inodir+C:/Users/Administrator/Desktop/class5/class5/prj/./testbench [C:/Users/Administrator/Desktop/class5/class5/prj/./
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov  2 2012
# -- Compiling module HEX_tb
#
# Top level modules:
#   HEX_tb
#
# vsim -t lps -L altera_ver -L lpm_ver -L sgate_ver -L altera_mf_ver -L altera_lnsim_ver -L cycloneive_ver -L rtl_work -L work -voptargs="+acc" HEX4_tb
# vsim -L altera_ver -L lpm_ver -L sgate_ver -L altera_mf_ver -L altera_lnsim_ver -L cycloneive_ver -L rtl_work -L work -voptargs="+acc" -t lps HEX4_tb
# ** Error: (vsim-3170) Could not find 'C:/Users/Administrator/Desktop/class5/class5/prj/simulation/modelsim/rtl_work.HEX4_tb'.
#
# Error loading design
# Error: Error loading design
#   Pausing macro execution |
# MACRO ./HEX4_run_msim_rtl_verilog.do PAUSED at line 12
VSIIM(pasued)>
```

## 问题原因

testbench 文件名与其中 module 后紧跟的名称不匹配，如下图文件名为 HEX4\_tb，而实际文件中的 module 名为 HEX\_tb:

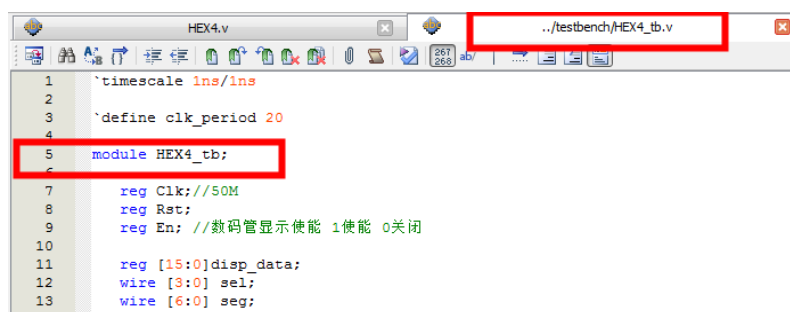


而在设置 testbench 链接设置时，却将 Testbench name 和 Top level module in test bench 的名字都设置为了 HEX4\_tb，导致 modelsim 仿真时无法找到时找 top level (HEX4\_tb)，因为 testbench 中命名的是 HEX\_tb，而通过脚本告诉 modelsim 的时候却是告诉的 HEX4\_tb，当然找不到。

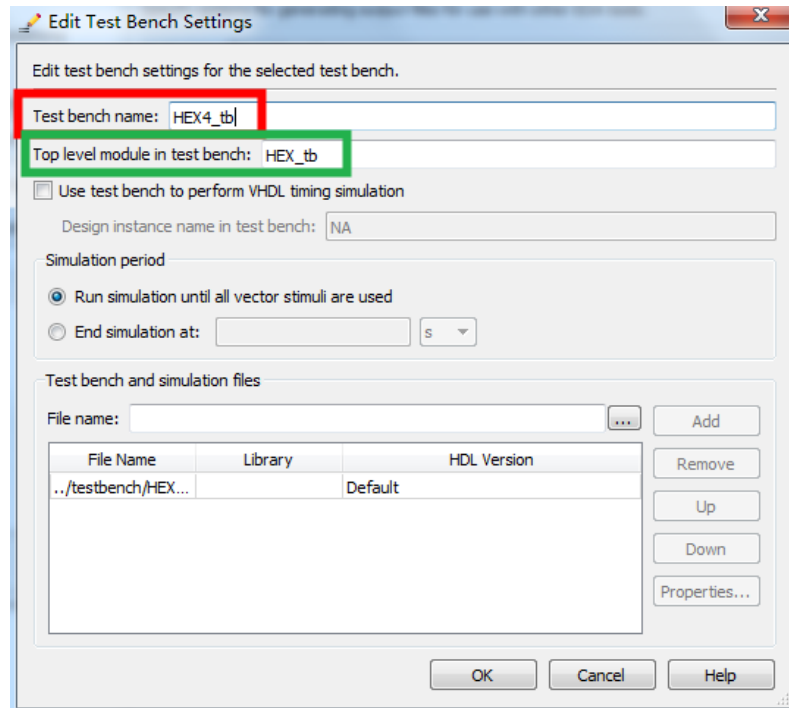


## 解决方法

**方法 1：** 将 Testbench 中的 module 名改为 HEX4\_tb，仿真即可通过，如下图所示：



**方法 2：** 在 quartus 的 testbench 设置部分将 Top level module in test bench 部分设置为 testbench 中命名的名字，即不更改 testbench 中的 module 名字，让其依旧保持为 HEX\_tb，而在设置部分如下设置：

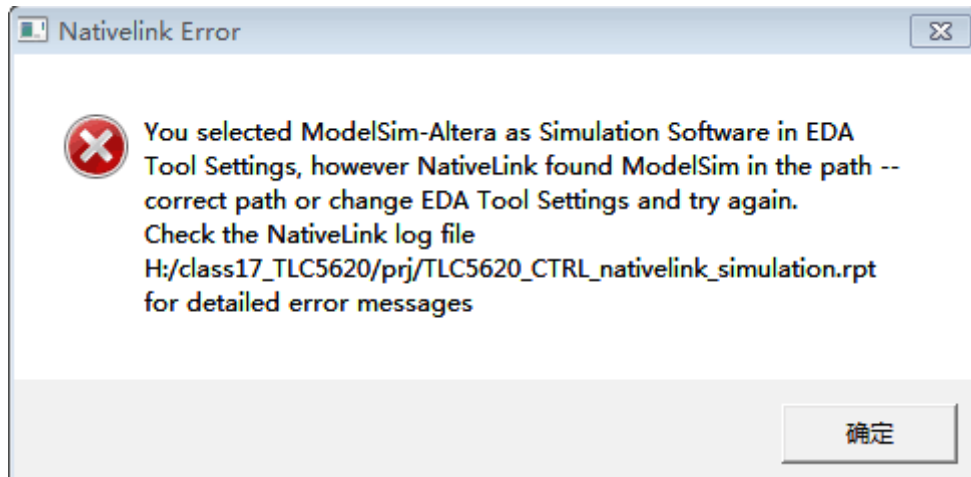


然后运行仿真，也可以正常进行仿真。如下图：

```
# // THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION
# // WHICH IS THE PROPERTY OF MENTOR GRAPHICS CORPORATION OR ITS
# // LICENSORS AND IS SUBJECT TO LICENSE TERMS.
# //
# Loading work.HEX_tb
# Loading work.HEX4
#
# add wave *
# view structure
# .main_pane.structure.interior.cs.body.struct
# view signals
# .main_pane.objects.interior.cs.body.tree
# run -all
# Break key hit
# Break in Module HEX4 at C:/Users/Administrator/Desktop/class5/class5/prj/HEX4.v line 16
```

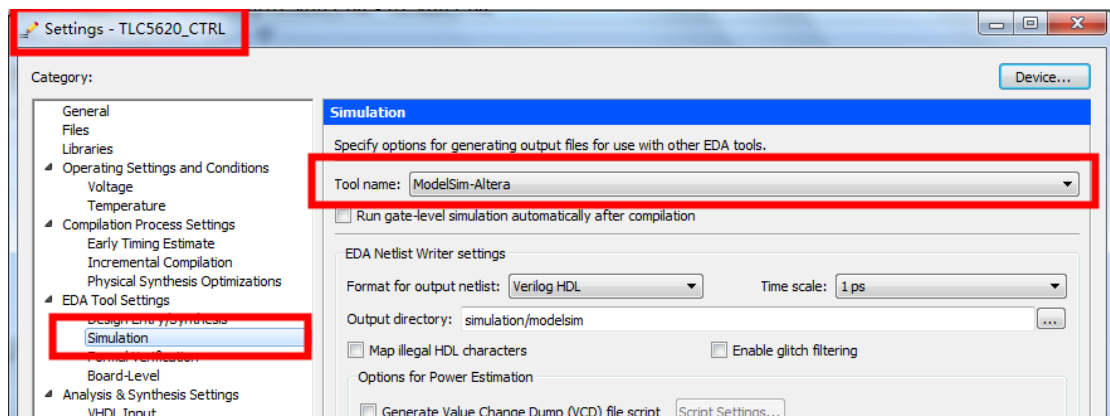
## 六、You selected Modelsim-Altera as Simulation Software in EDA Tool Settings,however.....

You selected ModelSim-Altera as Simulation Software in EDA Tool Settings,however NativeLink found ModelSim in the path – correct path or change EDA Tool Settings and try again.

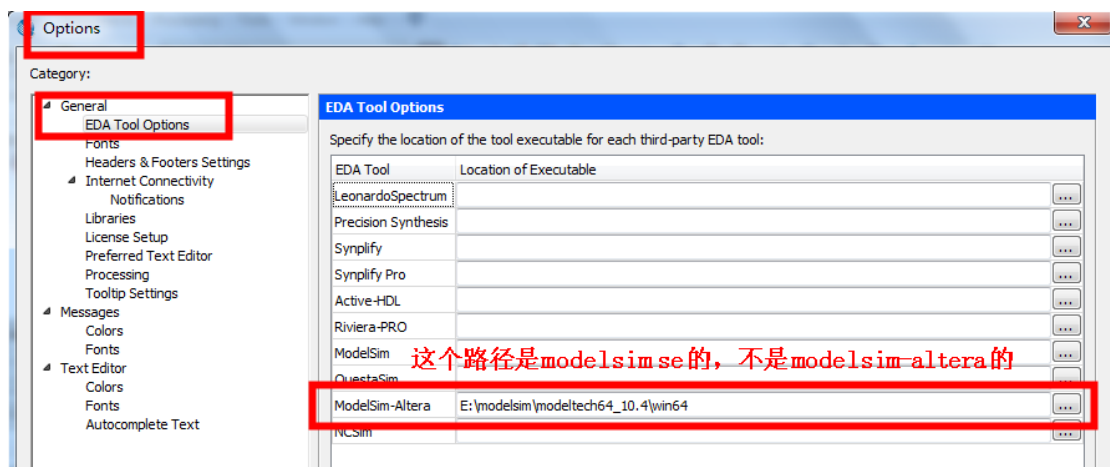


## 问题原因

该工程设置的仿真工具名称与在 Quartus II 软件中指定的该软件路径不匹配。例如, 本来设置的仿真工具是 modelsim-altera, 结果在 Quartus II 软件的 modelsim-altera 路径下设定的是 Tools 下设置的是 modelsim-se 的路径, 导致软件版本不匹配而报错。



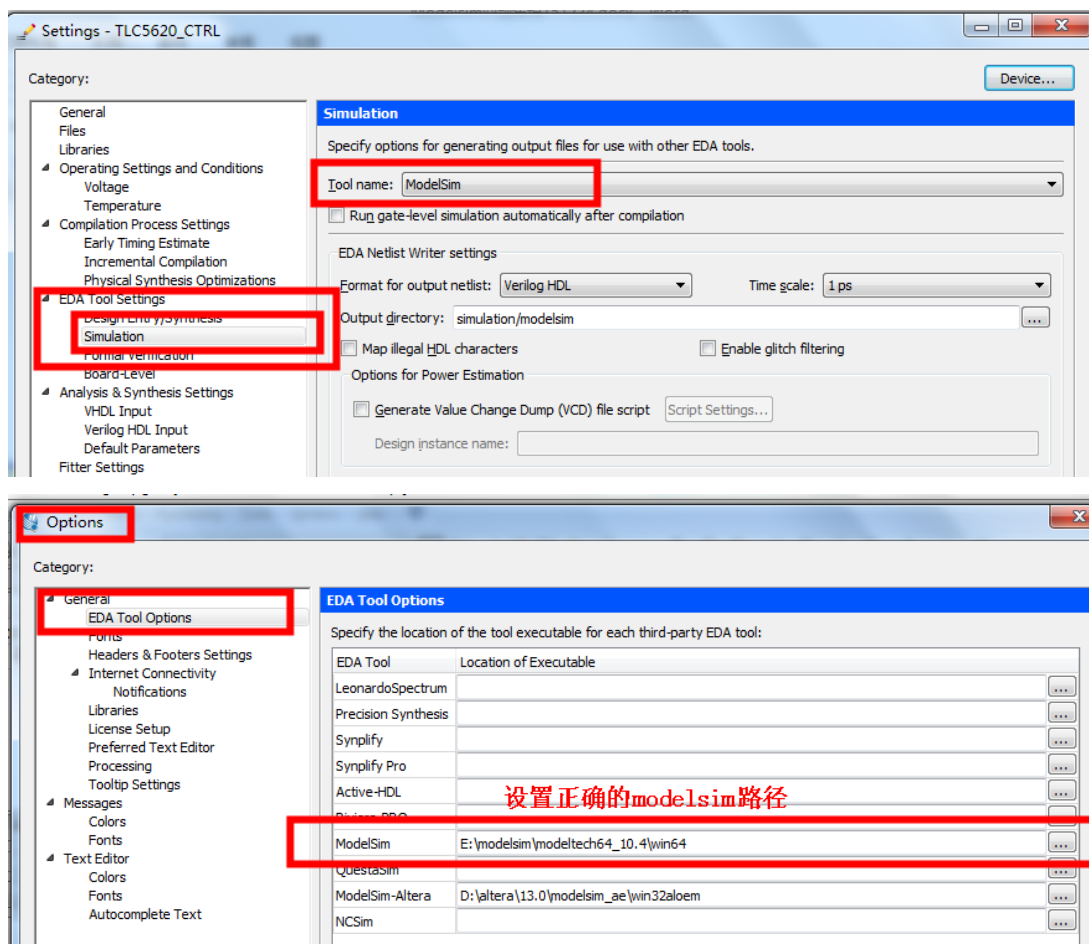
设置的仿真工具为 modelsim-altera



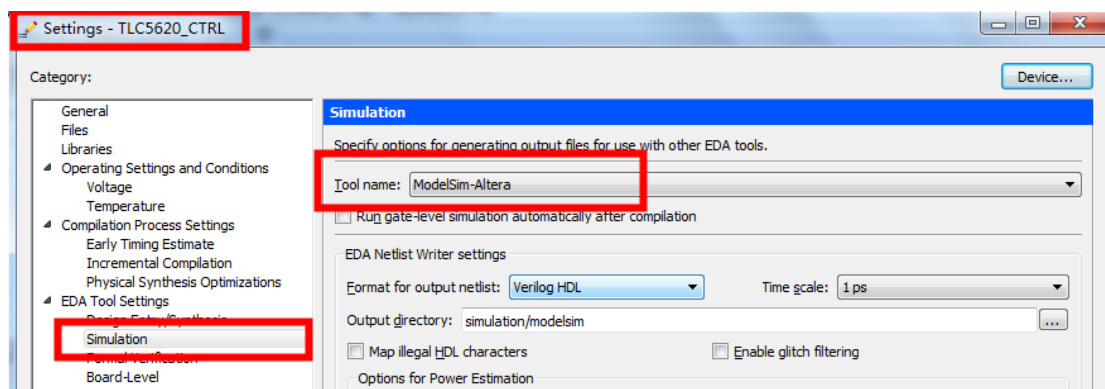
Modelsim-altera 路径却指向了 modelsim-se 版本。

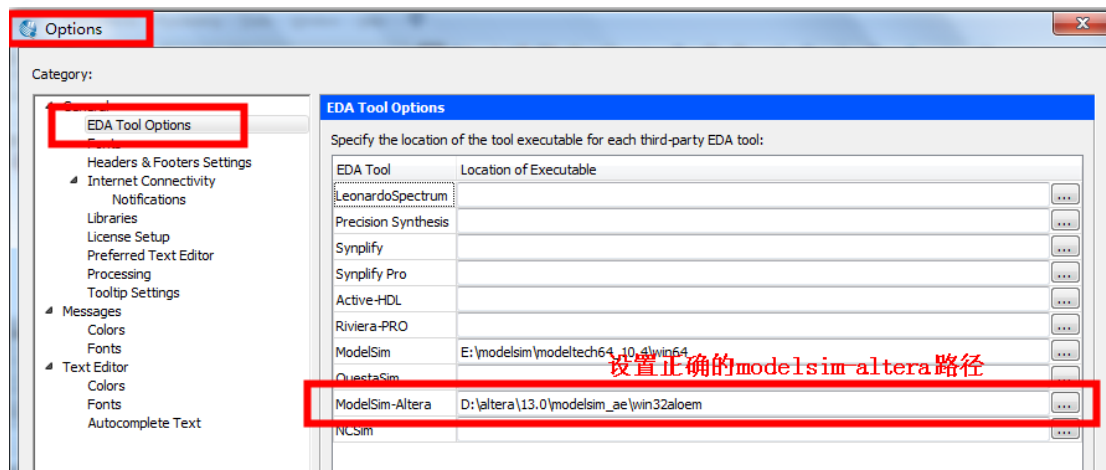
## 解决方法

- 1、如果你电脑装的是 modelsim-se 版本，请按照如下图所示的设置进行工程和工具路径设置：

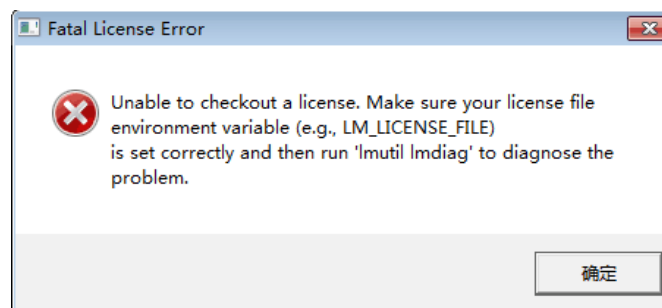


- 2、如果你的电脑装的是 modelsim-altera 版本，请按照如下图所示的设置进行工程和工具路径设置：





## 七、Unable to checkout a license



## 问题原因

使用了非免费版本的 Modelsim 软件, 却没有获得软件使用许可证

## 解决方法

方法 1: 使用免费版本的 modelsim 软件, 如 modelsim altera stater edition。

方法 2: 购买软件许可证。

方法 3: 破解 modelsim 软件, 破解方法见如下链接 (altera 收费版和 se 版本破解思路相同, 破解工具通用):

[modelsim-win64-10.1c 下载、安装、破解全攻略](#)

[http://bbs.elecfans.com/jishu\\_433057\\_1\\_1.html](http://bbs.elecfans.com/jishu_433057_1_1.html)

(出处: 中国电子技术论坛)

获得许可后最好重启 Quartus II 软件

## 八、Error loading design

```
# Top level modules:
#   led_test_tb
#
# vsim -t 1ps -l altera_ver -l lpm_ver -l sgate_ver -l altera_mf_ver -l altera_insim_ver -l cycloneii_ver -l rti_work -l work -voptargs="+acc" led_test_tb
# vsim -l altera_ver -l lpm_ver -l sgate_ver -l altera_mf_ver -l altera_insim_ver -l cycloneii_ver -l rti_work -l work -voptargs="+acc" -t 1ps led_test_tb
# ** Error: Failure to obtain a Verilog simulation license.
# Error loading design
#   Pausing macro execution
# MACRO ./led_test_run_msim_rtl_verilog.do PAUSED at line 12
view wave
# .main_pane.mdi.interior.cs.vm.paneset.cl_0.wf.clp.cs.pw.wf
VSIM(paused)>
```

### 问题原因

提示信息中提示没有 Verilog 的仿真许可证，表明是没有获得软件使用许可。

```
Transcript
# Top level modules:
#   led_test_tb
#
# vsim -t 1ps -l altera_ver -l lpm_ver -l sgate_ver -l altera_mf_ver -l altera_insim_ver -l cycloneii_ver -l rti_work -l work -voptargs="+acc" led_test_tb
# vsim -l altera_ver -l lpm_ver -l sgate_ver -l altera_mf_ver -l altera_insim_ver -l cycloneii_ver -l rti_work -l work -voptargs="+acc" -t 1ps led_test_tb
# ** Error: Failure to obtain a Verilog simulation license.
# Error loading design
#   Pausing macro execution
# MACRO ./led_test_run_msim_rtl_verilog.do PAUSED at line 12
view wave
# .main_pane.mdi.interior.cs.vm.paneset.cl_0.wf.clp.cs.pw.wf
VSIM(paused)>
```

即使用了非免费版本的 Modelsim 软件，却没有获得软件使用许可证

另外，如果没有提示仿真许可问题，可能是你的代码问题，最大的可能是你的 testbench 文件的文件名和文件中的模块名不一致，例如 testbench 文件名叫 led\_tb.v，而文件中命名模块时写的却是 lde\_tb。

### 解决方法

方法 1：使用免费版本的 modelsim 软件，如 modelsim altera stater edition。

方法 2：购买软件许可证。

方法 3：破解 modelsim 软件，破解方法见如下链接（altera 收费版和 se 版本破解思路相同，破解工具通用）：

[modelsim-win64-10.1c 下载、安装、破解全攻略](#)

[http://bbs.elecfans.com/jishu\\_433057\\_1\\_1.html](http://bbs.elecfans.com/jishu_433057_1_1.html)

(出处：中国电子技术论坛)

获得许可后最好重启 Quartus II 软件

## 九、Analysis and Synthesis should be completed

Analysis and Synthesis should be completed successfully before starting RTL NativeLink

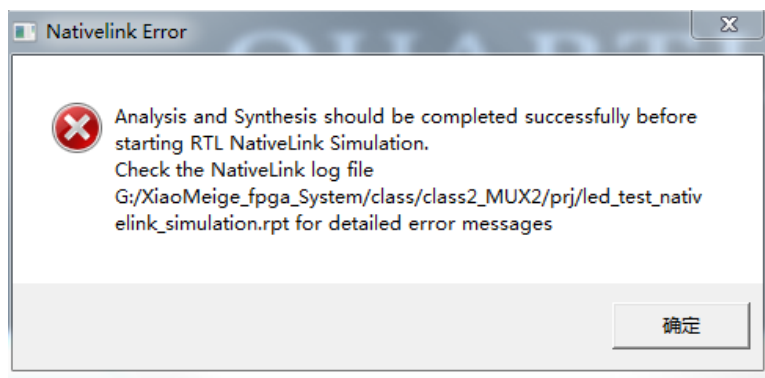
店铺：<https://xiaomeige.taobao.com>

技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：[www.corecourse.cn](http://www.corecourse.cn)

技术群组：615381411

## Simulation

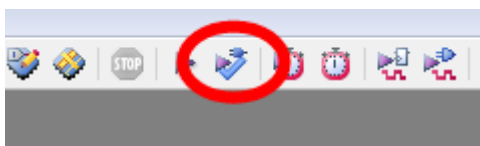


## 问题原因

仿真前需要在 Quartus II 中执行一次分析和综合。

## 解决方法

仿真前需要在 Quartus II 中执行一次分析和综合。



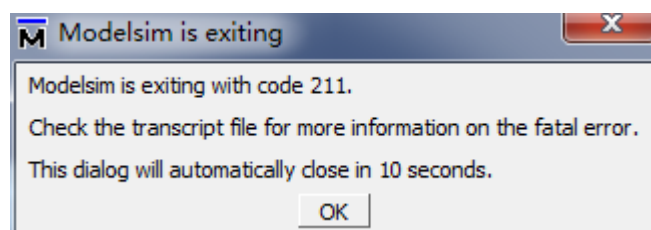
## 十、关于 modelsim 闪退问题

本文非芯航线原创，原文链接：<http://www.cnblogs.com/yestone/p/5177579.html>

作者：

电脑之前做过仿真，modelsim 是可以完美调用的，但是最近莫名其妙的就出现闪退问题，不通过 quartus 或者 ise 调用，单独使用的时候也会闪退。

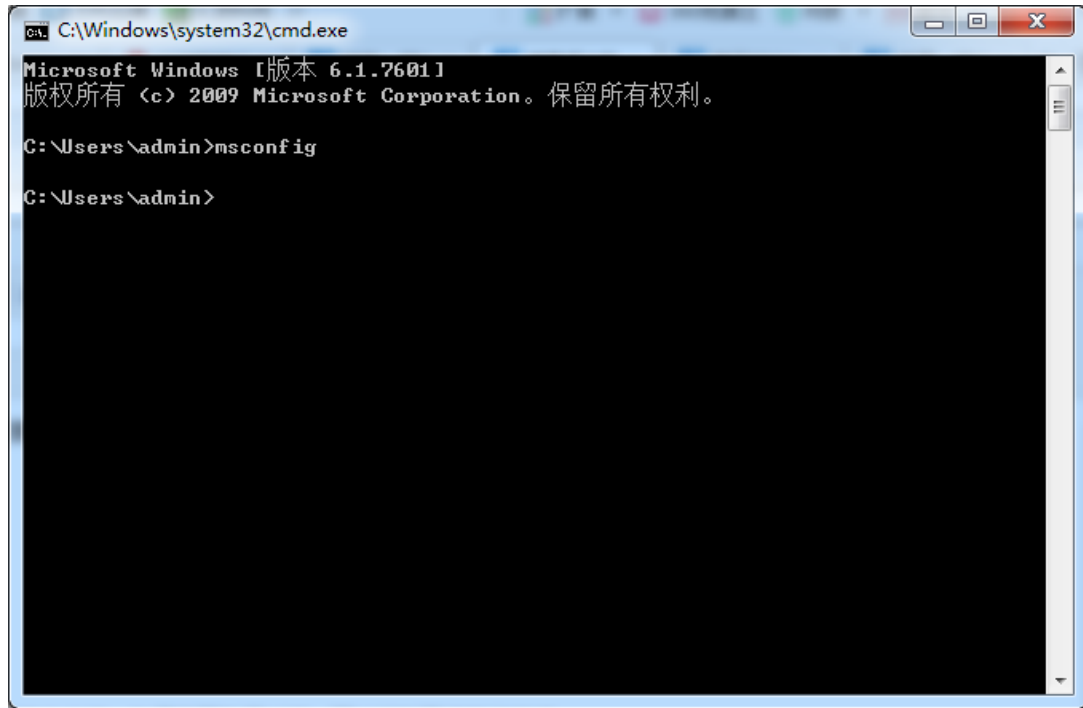
偶尔一次能抓到错误消息。如下图所示：



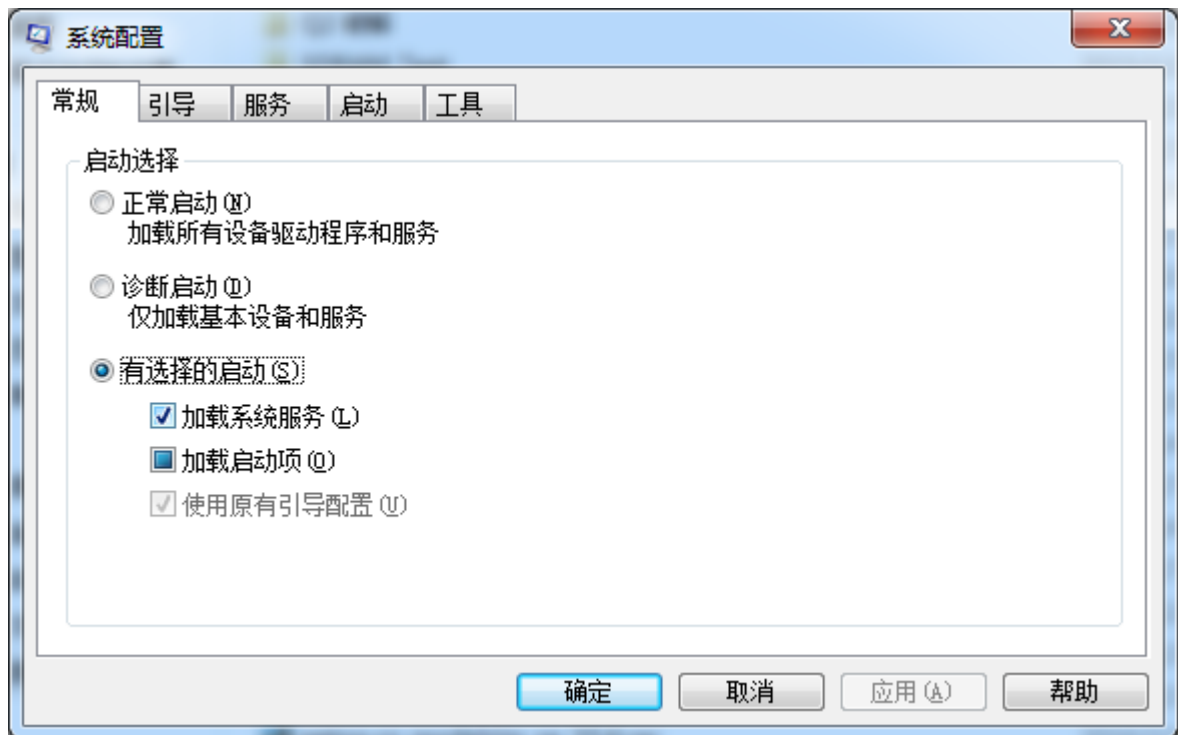
然并卵, 网上根本没解决办法, 最多的就是建议重装系统。还好身边同事有个大神, 免得我再耽误时间, 同时找到了问题的根源。

如果有人和我一样, 之前可以调用, 某天后突然闪退, 可以试试我这个办法。

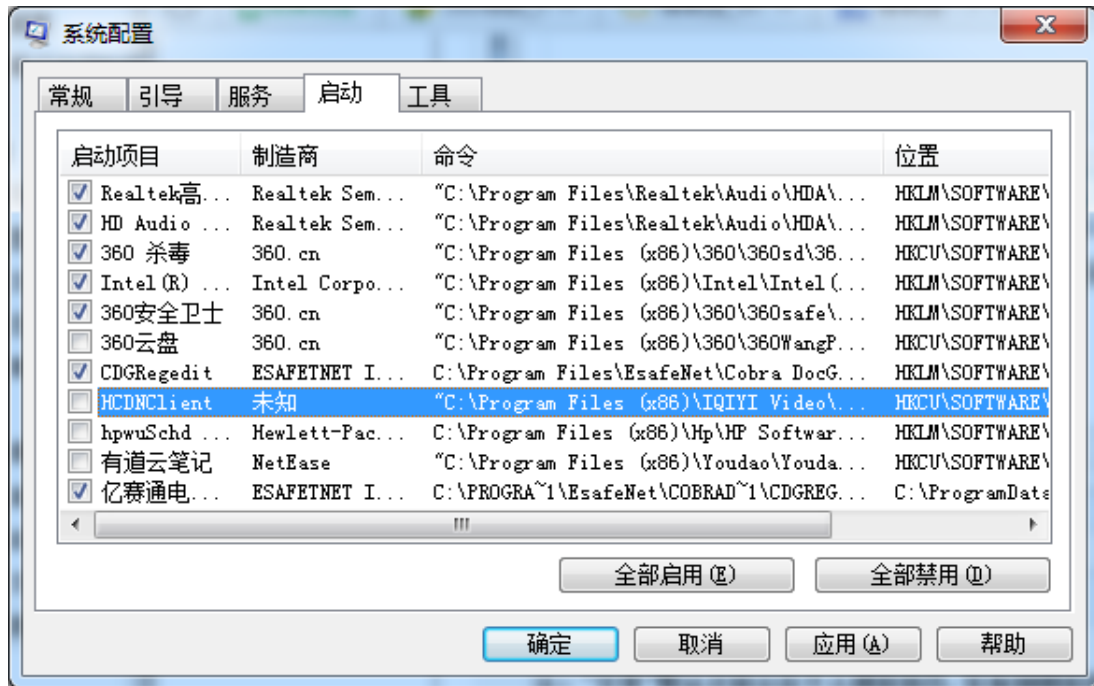
## 1、运行 CMD 调出命令窗口。运行命令 msconfig



出现如下窗口



## 2、选择启动栏, 查看电脑的启动项都有那些, 这是系统级的禁用~

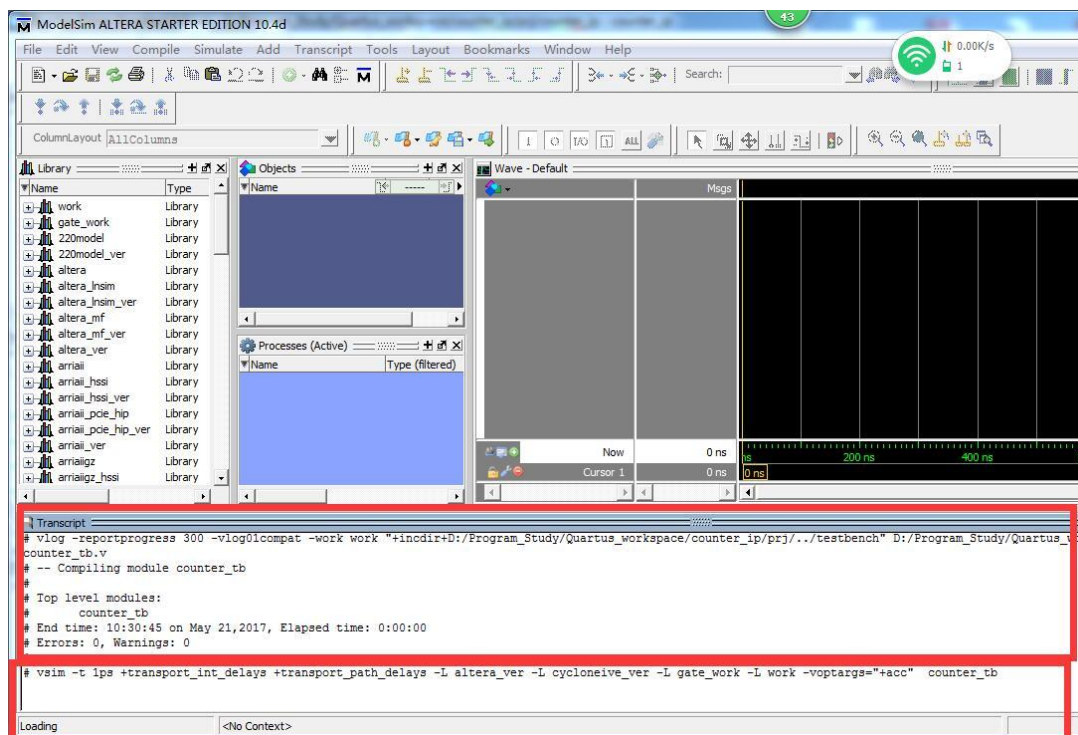


当只留下几个无害驱动的时候，可以 modelsim 是可以调用出来的。之后采用排除法，一个一个启动程序的开，试出来的 **爱奇艺 播放器** 导致了 modelsim 无法启动。

希望这个方法也能帮助其他小伙伴。

## 十一、不报错但一直显示 Loading

Modelsim 仿真时，不报错，也不出波形，一直显示 Loading



## 问题原因

该问题的原因为 Windows 开启了防火墙，且对 Modelsim 实施了屏蔽。

## 解决方法

关闭 Windows 防火墙。

## 十二、TestBench 中端口 reg 和 wire 定义解惑

很多学员在学习 TestBench 的编写的时候，容易死记概念，最典型的就是，被测试模块的输入端口在测试文件中要定义成 reg，输出端口要定义为 wire。

例如，最典型的这种写法，大家都能看得懂。

```
reg clk;
initial clk = 0;
always #10 clk = ~clk;

led_run led_run
(
    .clk50(clk),
    .led(led)
);
```

那我现在换一种写法，我定义一个中间信号，名叫 clkin，然后按照下述方法写：

```
reg clk;
initial clk = 0;
always #10 clk = ~clk;

wire clkin;

assign clkin = clk;

led_run led_run
(
    .clk50(clkin),
    .led(led)
);
```

这个时候，被测试模块的输入端口就链接到了 clkin 这个被定义为 wire 型的信号上，是不是就与我们所说的基本规律相违背了呢？

这个实际就是看你有没有真正理解激励信号的意义，使用 reg 定义激励信号，然后我们可以通过对 reg 信号在不同的时候赋予不同的值来产生激励。如果使用 reg 信号定义的信号

名称和你的被测试模块的端口在测试文件中的命名一样，就可以默认连接上，第一种写法就是这种形式。在第二种写法中，增加了一个中间信号，这个信号是个 `wire` 型的，一端连接到了 `reg` 型的 `clk` 这个信号上，另一端连接到了被测试模块的 `clk50` 输入端口。实质上等同于直接将 `reg` 型的 `clk` 信号直接连接到被测试模块的 `clk50` 上，所以并没有冲突。

为什么我在最开始讲测试文件的编写时候要重点使用示波器和信号发生器来类比，就是希望大家真正理解这些信号的实质。

### 十三、Port 'xxxx' not found in the connected module

```
: Port 'dac_clk0' not found in the connected module (12th connection).
```

这个报错很明显，是说你在例化的时候，被例化的模块中有个信号并不存在于真正的模块设计中，例如，用户编写一个二选一多路器模块，模块端口如下表左侧所示，但是在 `testbench` 或上层模块例化使用该模块时，例化内容如下表右侧所示：

|   |   |
|---|---|
| <pre>module mux2(<br/>    a,<br/>    b,<br/>    c,<br/>    out<br/>);</pre> | <pre>mux2 u0(<br/>    .a(a),<br/>    .b(b),<br/>    .sel(sel),<br/>    .out(out)<br/>);</pre> |
|---|---|

可以看到，例化时候，用了一个叫 `sel` 的端口，但是实际被例化的模块中并没有 `sel` 这个端口，因此就会报上述错误。根据此思路对应检查设计模块的代码即可。

### 十四：ERROR: No extended dataflow license exists

```
# Reading D:/altera/13.0/modelsim_ase/tcl/vsim/pref.tcl  
# ERROR: No extended dataflow license exists  
# do ADC128S022_run_msim_rtl_verilog.do
```

该报错实际意义为提示软件高级功能没有许可，该问题不用管，不用管，你的代码不出波形，或者仿真结果有问题，绝对与此信息无关，绝对与该报错无任何关系。

## 十五：Instantiation of 'xxxx' failed, The design unit was not found

```

# vsim -L altera_ver -L lpm_ver -L sgate_ver -L altera_mf_ver -L altera_Insim_ver -L cycloneive_ver -L rtl_work -L work -voptargs="-t acc" -t lps
# Loading work.uart_rx_tb
# Loading work.uart_rx
# ** Error: (vsim-3033) H:/class/uart_rx/mod/prj/./tb/uart_rx_tb.v(32): Instantiation of 'uart_tx' failed. The design unit was not found.
#
#       Region: /uart_rx_tb
#       Searched libraries:
#       G:/mod/modelsim_ase/altera/verilog/altera
#       G:/mod/modelsim_ase/altera/verilog/220model
#       G:/mod/modelsim_ase/altera/verilog/sgate
#       G:/mod/modelsim_ase/altera/verilog/altera_mf
#       G:/mod/modelsim_ase/altera/verilog/altera_Insim
#       G:/mod/modelsim_ase/altera/verilog/cycloneive
#       H:/class/uart_rx/mod/prj/simulation/modelsim/rtl_work
#       H:/class/uart_rx/mod/prj/simulation/modelsim/rtl_work
#       H:/class/uart_rx/mod/prj/simulation/modelsim/rtl_work
# Error loading design
# Error: Error loading design

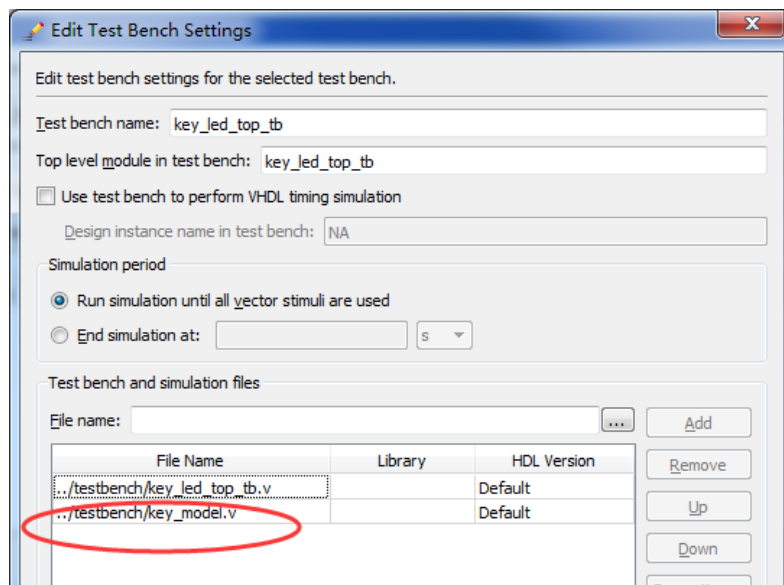
```

### 问题原因

该问题经常出现在仿真时添加了其他模块辅助仿真，典型的如仿真模型，在小梅哥 FPGA 设计思想与验证方法视频教程里的按键消抖、串口接收里面都有这个过程，例如对于串口接收，我们在编写 **testbench** 仿真接收模块时，使用了串口发送模块来产生测试数据，而串口发送模块并不包含在 Quartus 的 RTL 逻辑中，因此不会自动参与编译，无法得到仿真数据库，按键消抖时，设计了一个按键模型，该模型仅用作仿真，也不会被 Quartus 自动交付给 Modelsim 编译

### 解决方案

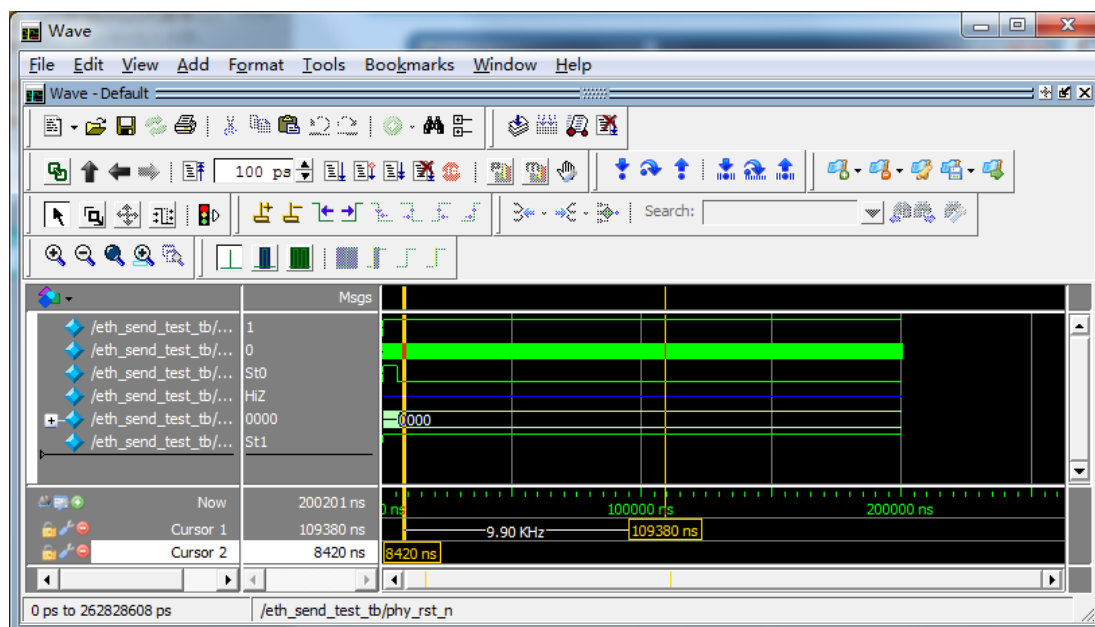
为此我们需要在设置 NativeLink 的时候手动添加该文件。如下图可以看到，我们设置时不仅添加了 tb 文件，还添加了 key\_model 文件，这样 Moselsim 才会根据该设置去编译 key\_model 文件。



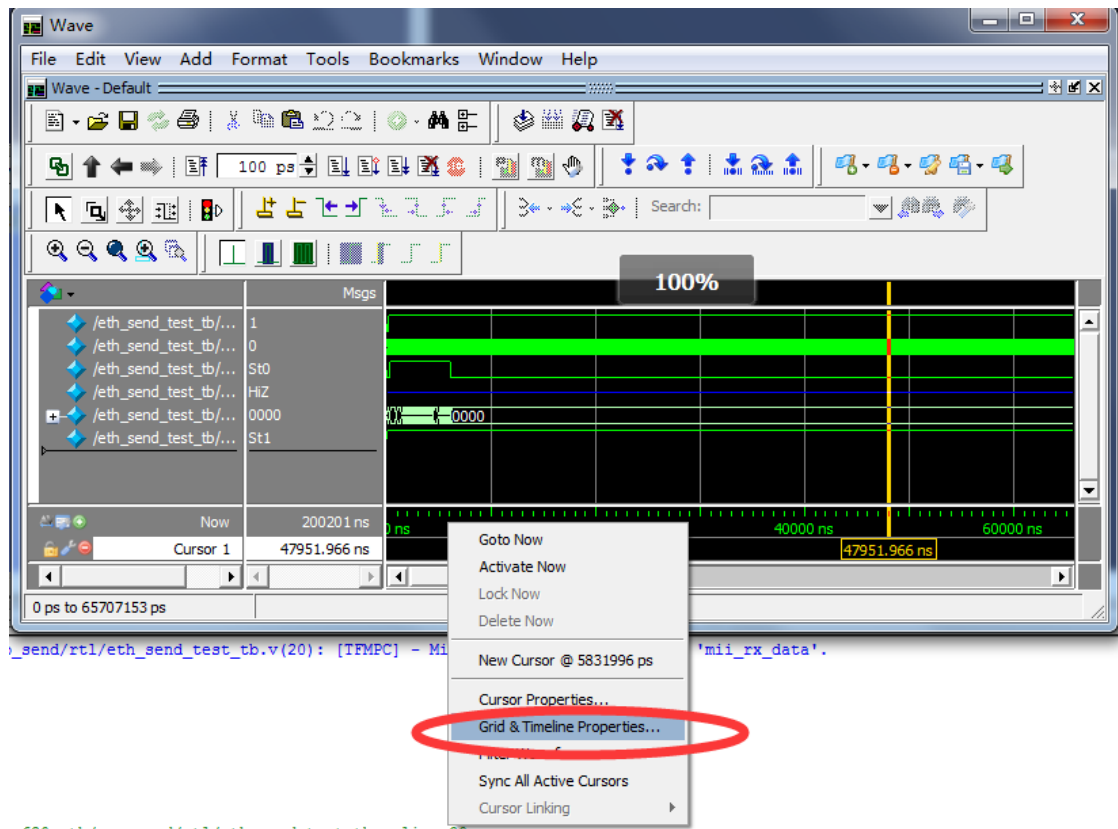
# ModelSim 常见使用技巧

## 一、ModelSim 修改测量时间显示的单位

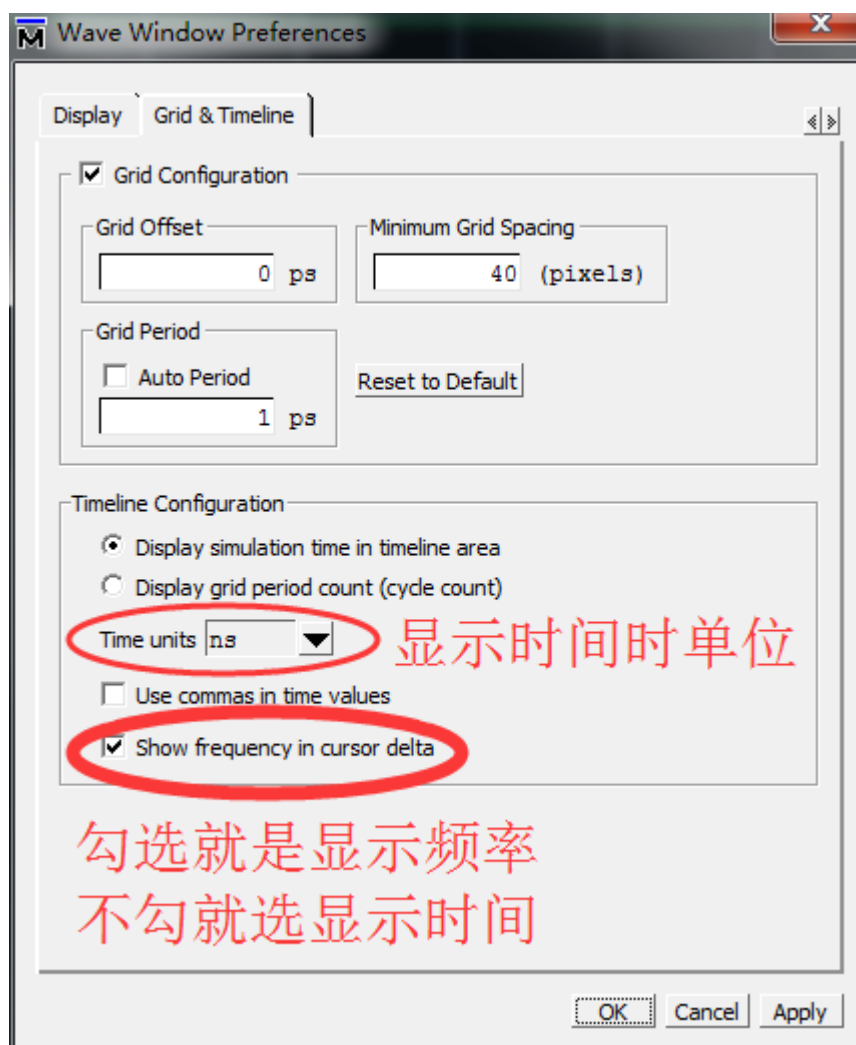
经常有网友问，ModelSim 仿真时，测量两个点之间的时间，想显示合适的单位怎么设置，例如下图显示的两个测量光标间的时间，是以频率为单位显示的，当希望设置为以时间显示，例如 ns 或者 ms 的时候怎么办呢？



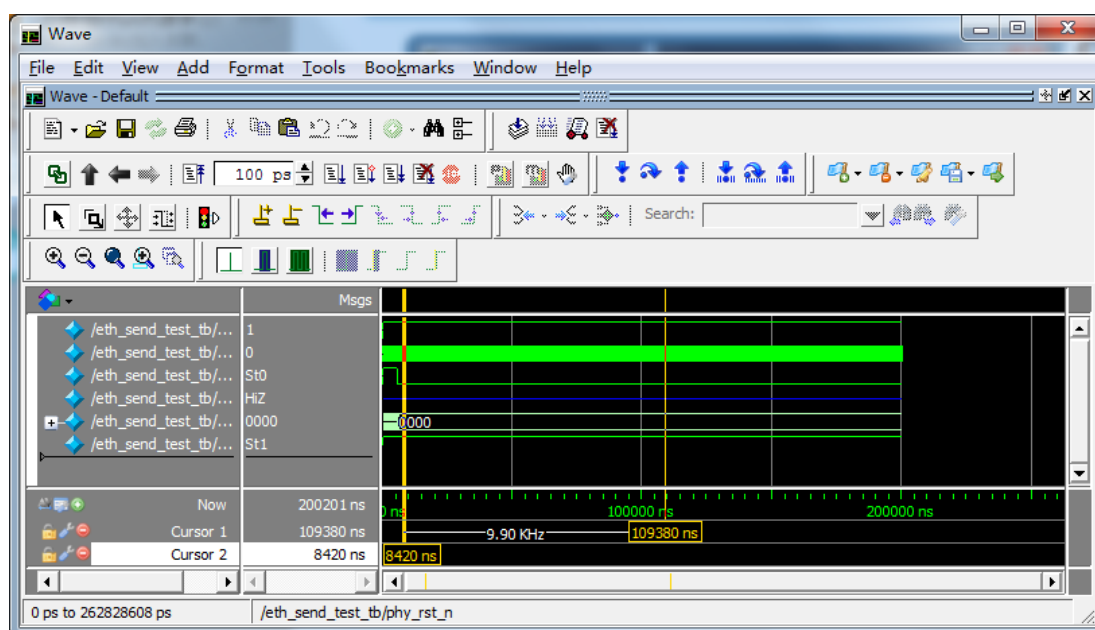
可以通过波形窗口菜单 `tools/windows preferences/grid & timeline` 中的 `time units` 进行修改。也可以通过点击当前显示的时间的位置，右击，找到 `grid & timeline`。



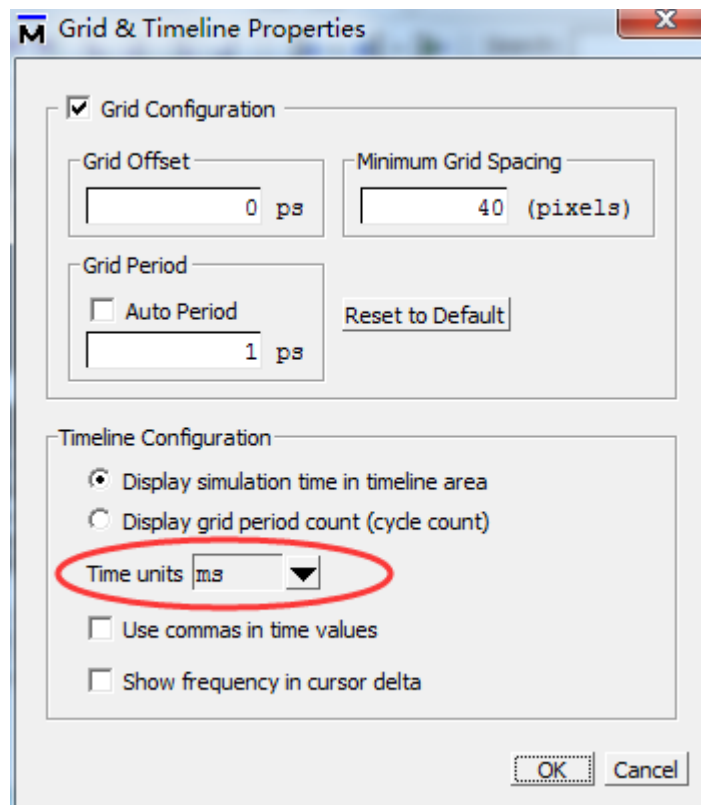
打开 grid & timeline 之后，勾选 Show frequency in cursor delta 就是按照频率单位显示，不勾选就是按照时间单位显示，当按照时间单位显示的时候，Time units 下拉框可以选择时间显示单位，如 ns、us、ms 等。



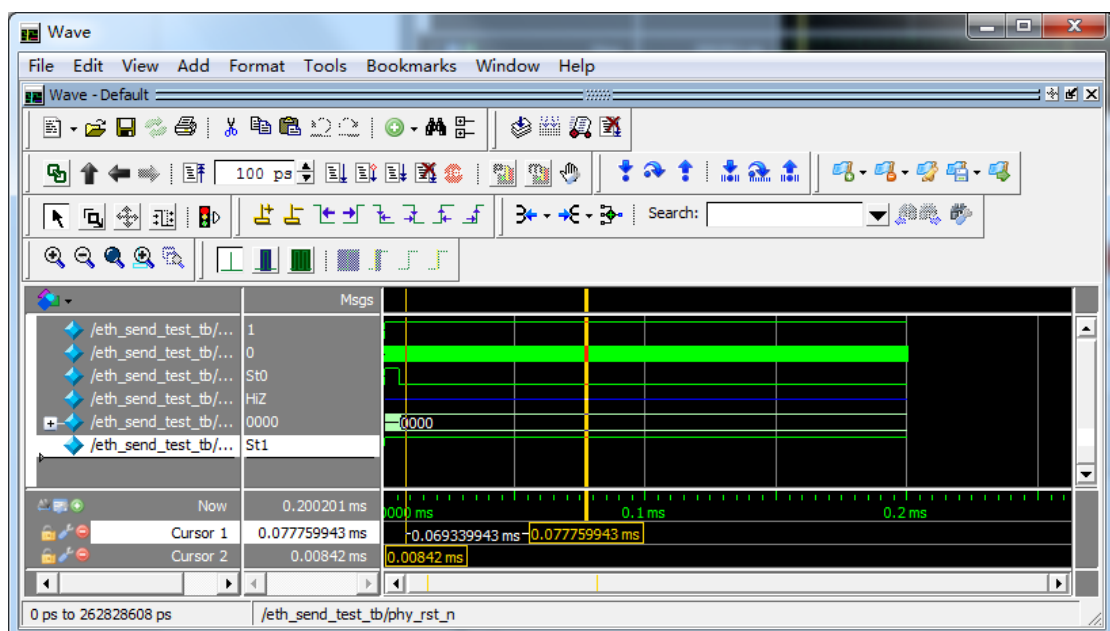
下图为以频率单位显示



设置为以 ms 单位显示



下图为以 ms 单位显示

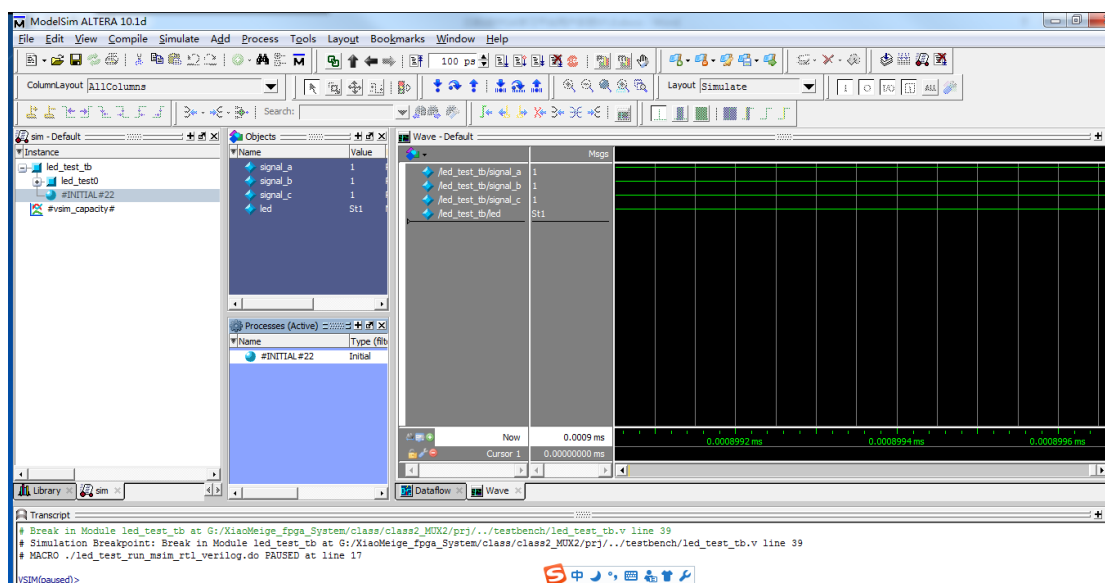


## 二、独立/合并 modelsim 窗口

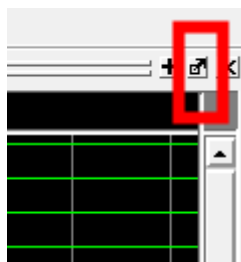
Modelsim 第一次打开时是这样的，

店铺: <https://xiaomeige.taobao.com>  
技术博客: <http://www.cnblogs.com/xiaomeige/>

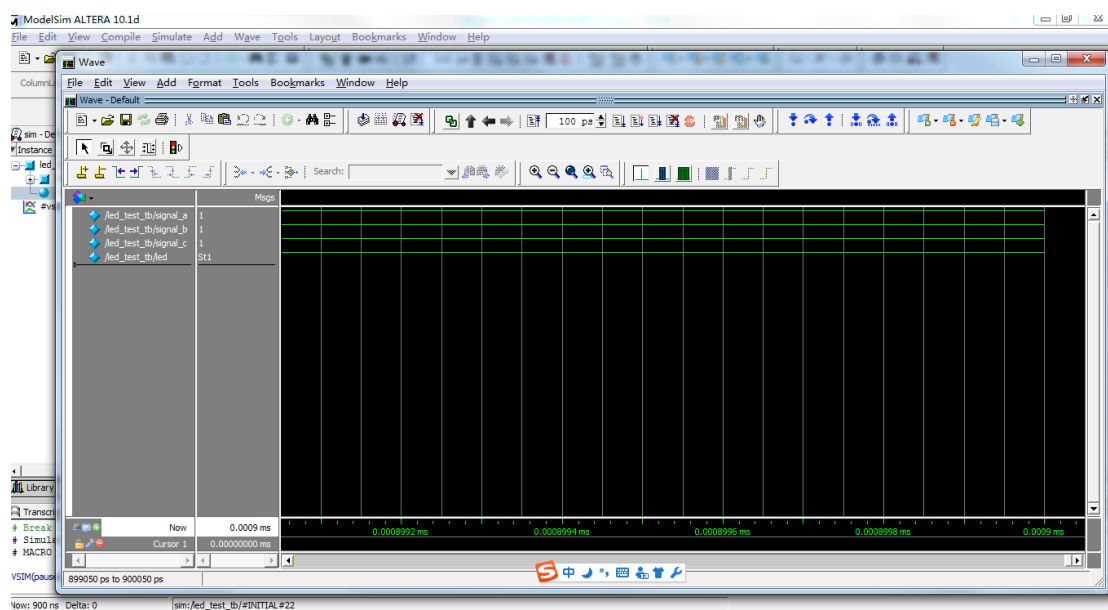
官方网站: [www.corecourse.cn](http://www.corecourse.cn)  
技术群组: 615381411



波形窗口太小，我们希望能够全屏，因此可以点击波形窗口右上角的独立符号将波形窗口从 modelsim 中独立出来，



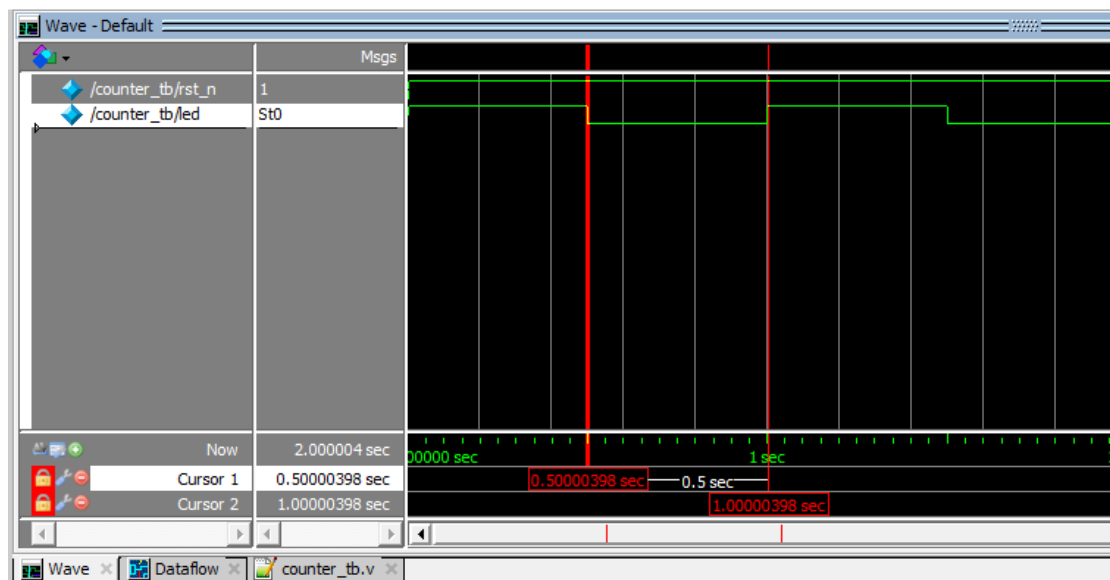
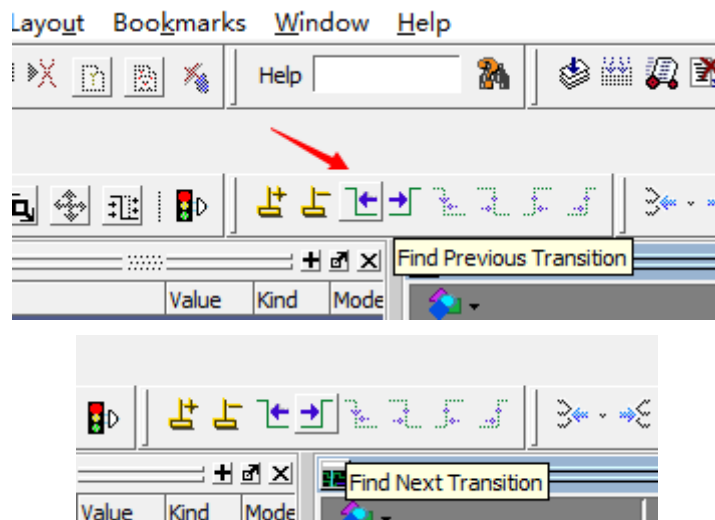
想要恢复，还是点这个按钮即可。



### 三、让光标(cursor)自动吸附至附近的一个沿

首先选中要定位的数据，而后根据需求 点击工具栏中 Find Previous Transition 或者 Find  
 店铺: <https://xiaomeige.taobao.com> 官方网站: [www.corecourse.cn](http://www.corecourse.cn)  
 技术博客: <http://www.cnblogs.com/xiaomeige/> 技术群组: 615381411

Next Transition,即可完成 cursor 自动吸附至附近的沿。

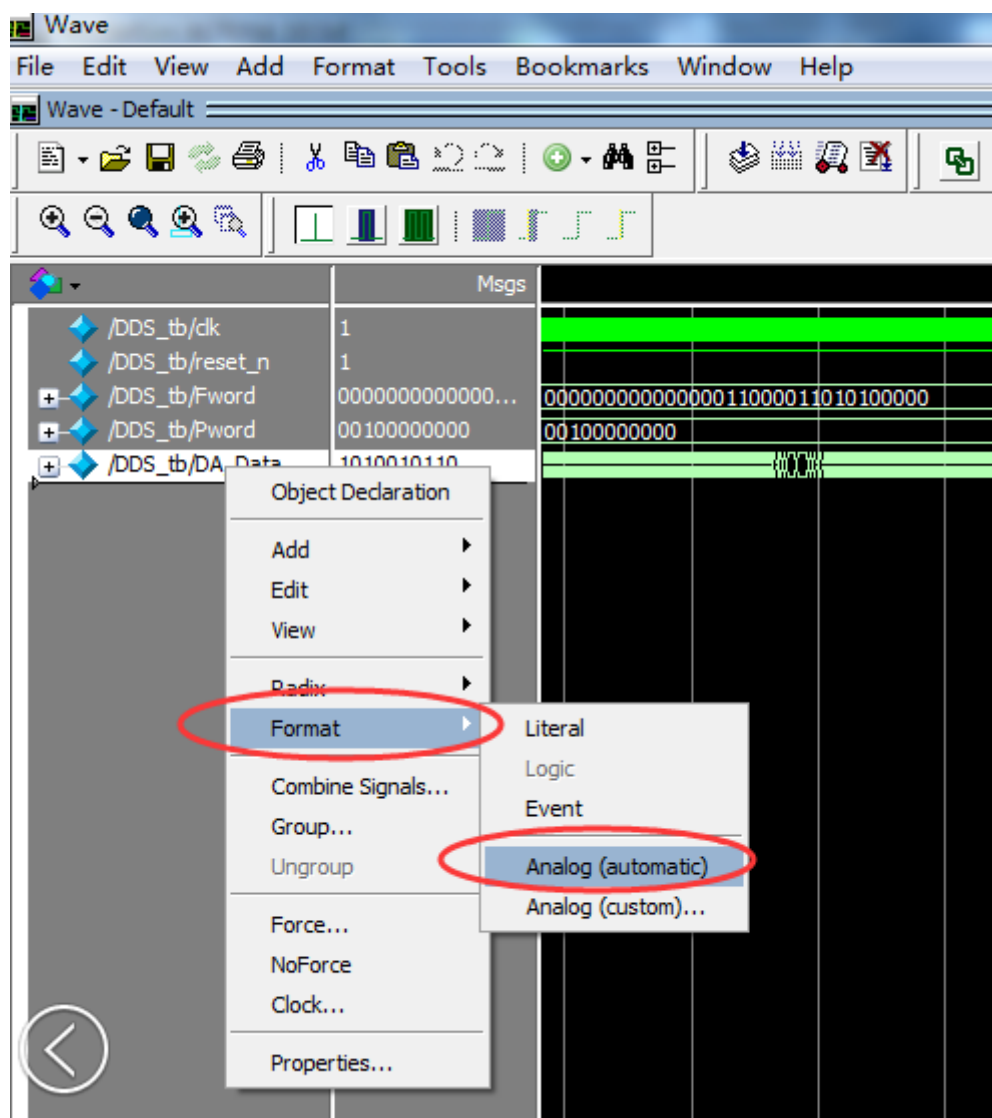


## 四、快速对波形分组

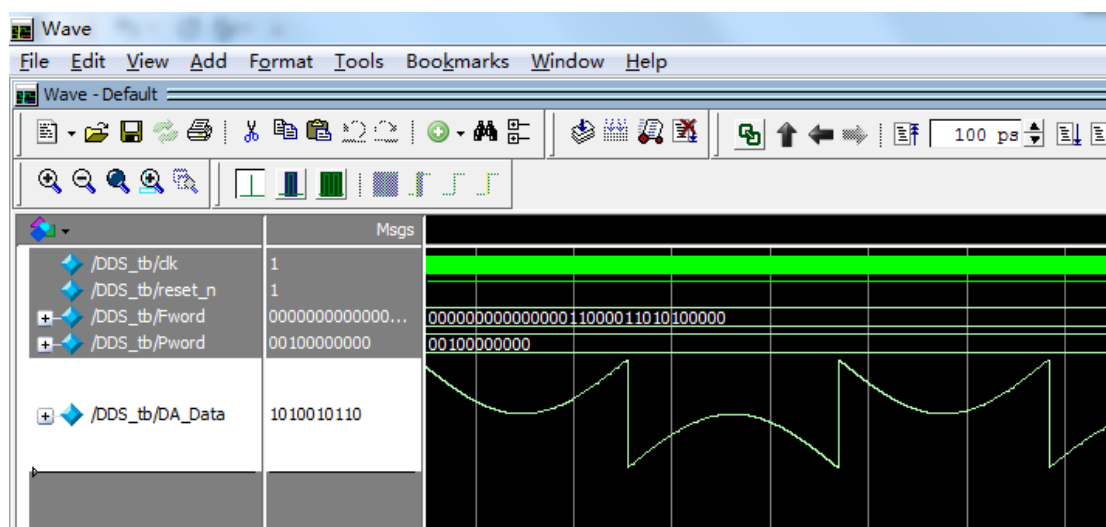
1. Ctrl + A 组合键全选中所有波形
2. Ctrl + G 组合键执行快速分组

## 五、设置数据以模拟波形显示

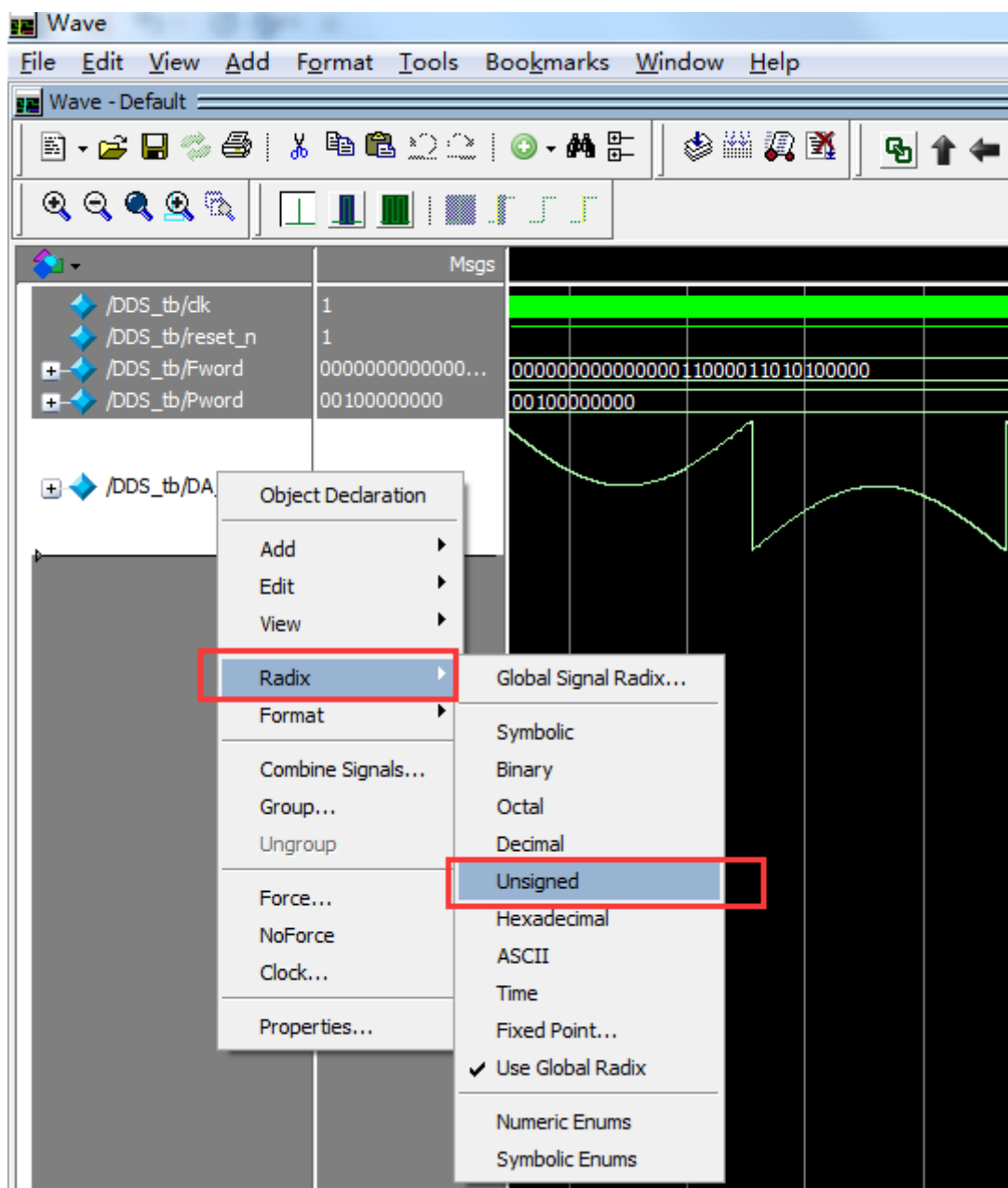
首先选中希望以模拟波形显示的信号，右击，选择 format—>Analog(automatic)



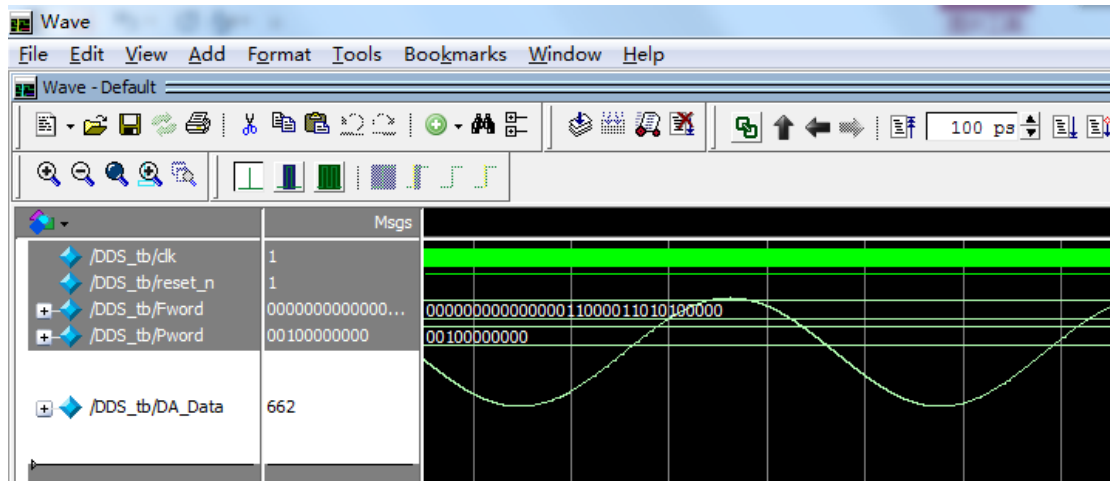
如果你的数据是用无符号数表示一个完整的波形的，那么可能显示出来的波形样子是下面的样子，不过不要紧，这是因为 modelsim 默认是按照有符号数据解析波形数据的缘故，我们可以再进行一次设置修改。



选中希望显示波形的信号，右击，选择 Radix—>Unsigned。



设置完成后，波形就如下所示了：

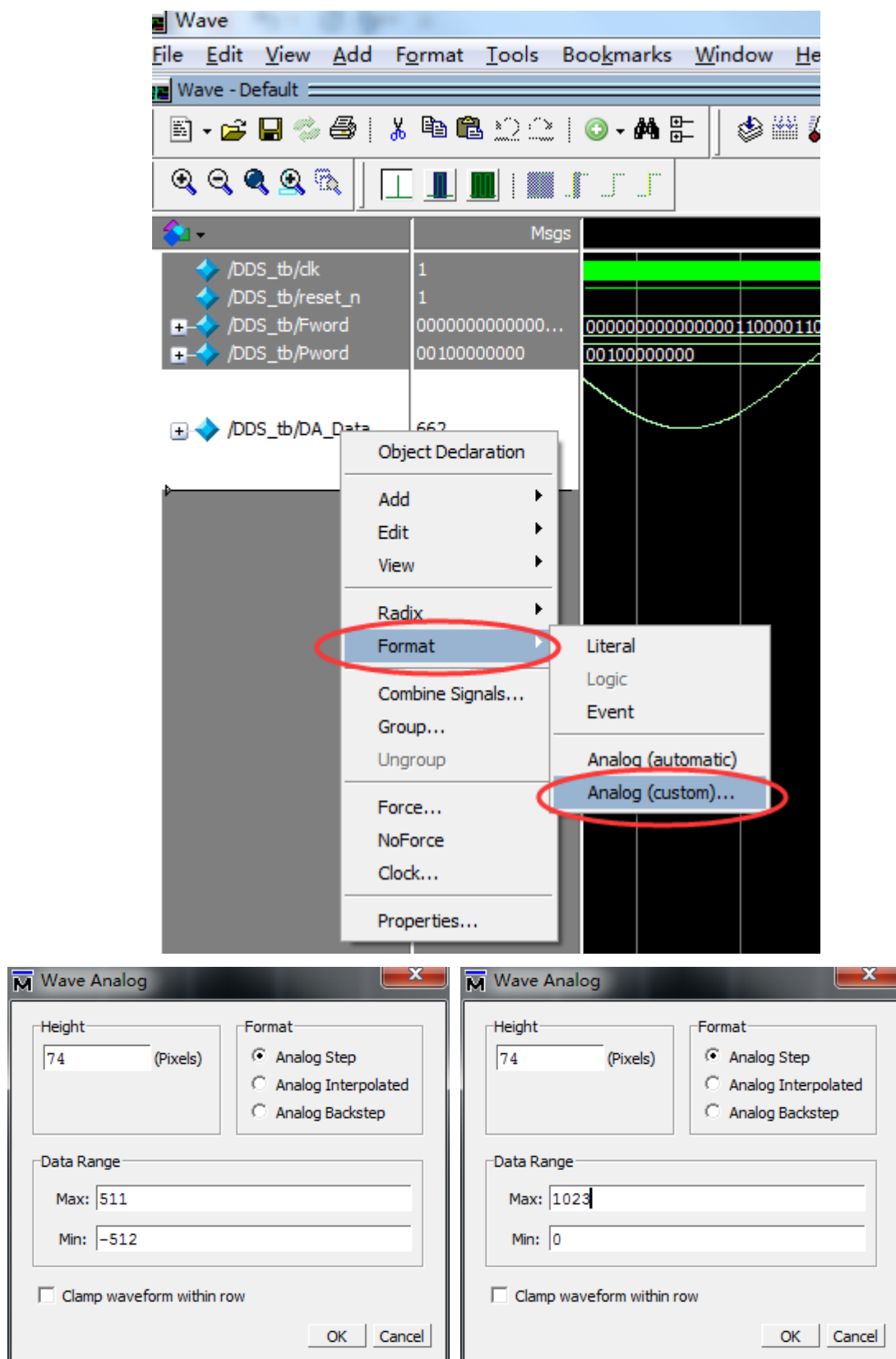


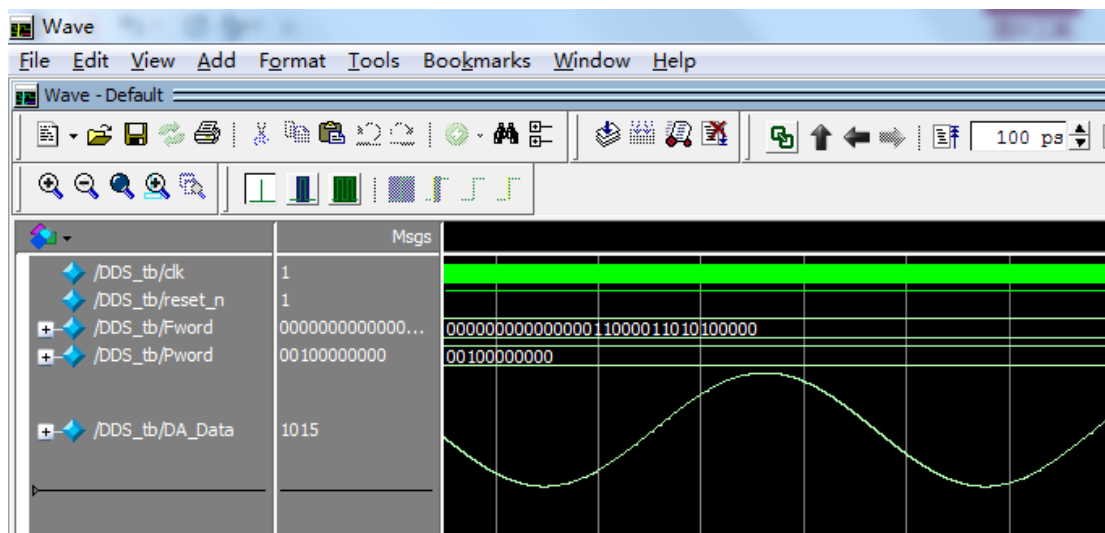
是不是发现虽然波形已经是完整的正弦波了，但是波形有部分却跑到其他信号的地盘去了呢？这也不要紧，是模拟波形的显示范围设置导致的，其实这个设置也不是我们自己的原因。我们还是先看下如何修改为正确的显示，然后再来讲讲为啥会这样。

第一种方案最简单，再次对选中信号右击，选择 **format—>Analog(automatic)**，即重新自动以模拟波形显示，波形就能正常了。

但是之前的显示问题究竟是哪错了呢？我们也可以通过手动设置的方式，来深究其中的原因。

第二种方案：对选中信号右击，选择 **format—>Analog(Custom)**，在弹出的窗口中可以看到，波形显示范围为-512 到 511，这是因为我们的数据是 10 位宽的，当选择显示模拟波形时，会自动以有符号数解析，范围就是-512 到 511，而当我们把数据修改为 **Unsigned** 之后，这个波形范围没有自动变过来，需要我们重新选择 **format—>Analog(automatic)** 一次，或者直接手动修改这个范围，当以无符号数解析时，10 位数表示的范围为 0~1023，因此手动修改 Min 为 0，Max 为 1023，然后点击 OK 即可。





补充：如果用户希望将波形恢复到原始的数据显示状态（仿真运行后的默认状态），只需要在 format 中选择 Literal，Radix 中选择 Use Global Radix 即可。