

1 线型序列机与串行接口 DAC(MCP4802)驱动设计与验证

章节导读

数模转换器即 D/A 转换器，或简称 DAC (Digital to Analog Converter)，是指将数字信号转变为模拟信号的电子元件。

本章节以 MCP4802 为例介绍 AC101 开发板上 DAC 的工作原理及时序图解释，并用线性序列机(LSM)来描述时序图，进而正确驱动此类设备。在 Quartus II 软件中，使用 ISSP 工具输入希望输出的电压值，控制 FPGA 进而操作 MCP4802 芯片输出对应的电压值。

1.1 DAC 芯片概述及电路设计

在 AC101 FPGA 开发板上，使用了一片 8 位 2 通道的 DAC 芯片 TLV5618 来实现数字到模拟电压的转换，如下图所示。

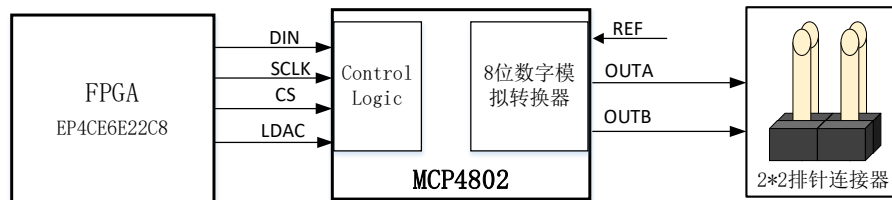


图 1 MCP4802 功能图

MCP4802 芯片内部结构如图 2 所示。该芯片是一个通过 SPI 接口发送 16 位数据帧到 MCP4802。数据进入输入锁存器。数字控制逻辑根据控制位配置 DAC 工作参数（通道、增益、功耗模式）。DAC 核心将数字输入数据转换为模拟电压输出。输出放大器提供缓冲输出并驱动负载组成。

注意，图中上方的 SDI、SCLK、CS、LDAC 就是这个数模转换芯片（DAC）的数字控制接口，该接口遵循 SPI 协议，主控制器（FPGA、MCU、DSP）需要转换为模拟电压的数字值通过该 SPI 接口传递给 MCP4802 芯片。MCP4802 芯片根据主控制器传过来的数字值转换得到模拟电压，经由下方的 VOUTA 或 VOUTB 输出。

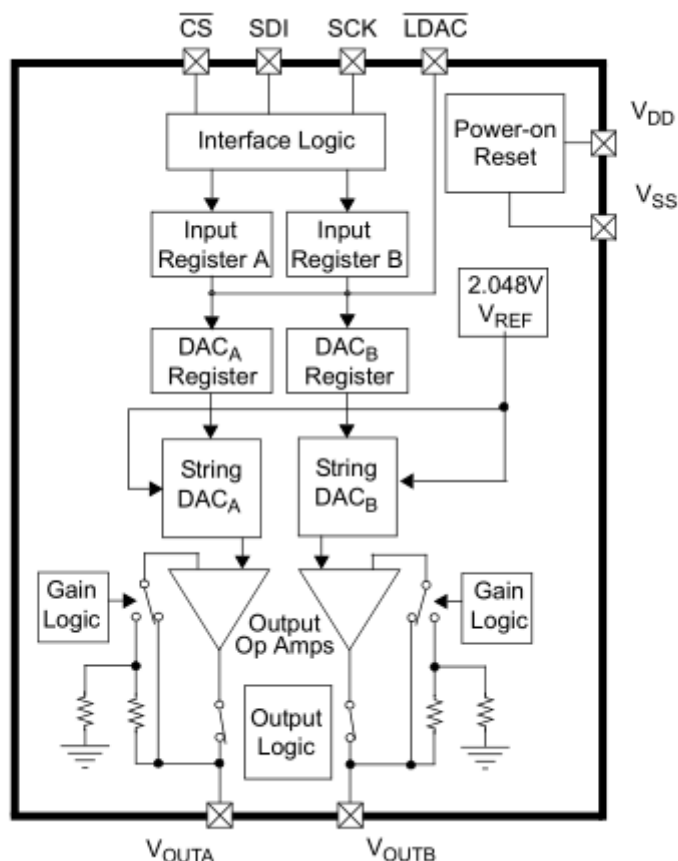


图 2 MCP4802 内部框图

1.2 MCP4802 工作电路设计

MCP4802 工作电路的部分电路图如下图所示：

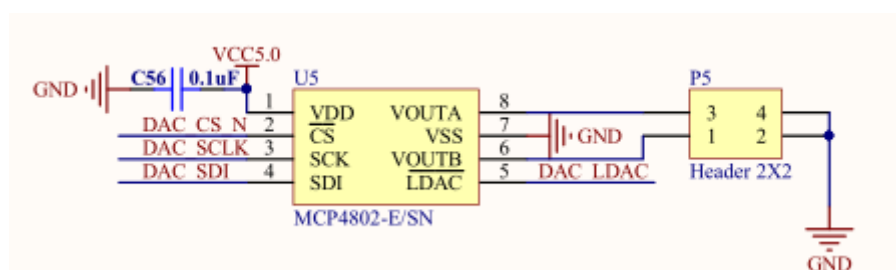


图 3 MCP4802 电路图

1.3 MCP4802 型 DAC 芯片输出电压计算原理

MCP4802 是由两个电阻网络来实现两路数模转换，每路 DAC 的核心是一个拥有 4096 (2^8) 个节点的电阻，对应了 4096 种不同的组合，每个电阻网络的一段连接到 GND，另一端来自参考电压经过缓冲器后的输出。如果不考虑其他情况，

该电阻网络型 DAC 的输出电压范围应该为 $0V \sim V_{REF}$ ，对应到 AC101 板上的电路，即 $0V \sim 2.048V$ 。另外在每个 DAC 通道的电阻网络电压输出后级，连接了一个 2 倍增益的轨对轨放大器。将电阻网络 DAC 单元的输出电压放大为 2 倍后输出到管脚。所以，TLV5618 芯片的实际输出电压范围为 $0V \sim 2 \times V_{REF}$ ，对应到 AC101 板上的电路，即 $0V \sim 4.096V$ 。当芯片上电时，DAC 的值全部被复位到 0。每个 DAC 通道的输出可由下列公式计算得出：

$$V_{OUT} = D \times \frac{V_{REF}}{2^8} \times G$$

其中：

D：输入的数字值（8 位无符号整数，范围为 $0 \rightarrow 255$ ）。

VREF：参考电压，通常为 MCP4802 的电源电压 VDD，默认为 2.048V，但可以是外部提供的参考电压。

2^8 ：表示分辨率为 8 位，对应的电平数是 256。

G：增益设置（通过控制位 GA 配置）。G=1：输出范围为 $0 \rightarrow V_{REF}$ 。

G=2：输出范围为 $0 \rightarrow V_{REF} \times 2$ 。

1.4 MCP4802 接口时序

当片选(CS)信号为低电平时，数据在每个 SCLK 信号的上升沿被移入芯片内部的寄存器。16 位的数据按照高位在前，低位在后的顺序依次移入。当 16 位的数据移入完毕后，在第 16 个 SCLK 信号的下降沿之后的一个 SCLK 信号上升沿，据根数据中的控制位，将数据制位移入保持寄存器 A、B、缓冲器和控制寄存器。当片选(CS)信号进入上升沿时,再把数据送至 8 位 A/D 转换器，LDAC 在传输数据时保持高电平，传输完成后 CS 拉高后拉低。如图 4 所示。

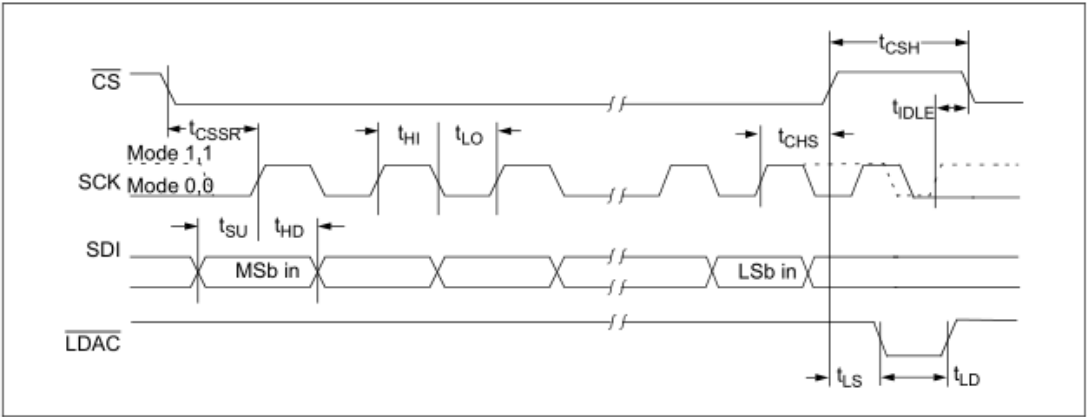


图 4 接口时序

1.5 MCP4802 写命令参数

MCP4802 支持 8 位数字输入，并将其转换为模拟输出。写命令通过 16 位数据帧传输给芯片。

位置	位名称	描述
[15]	通道选择	0 = DAC 通道 A， 1 = DAC 通道 B。
[14]	未使用位	保留位。
[13]	增益位	1 = 1x VREF； 0 = 2x VREF。（VREF=2.048V）
[12]	SHDH 位	1 = 启用 DAC 输出； 0 = 禁用 DAC 输出（关断模式）。
[11:4]	数据位	8 位数字数据，用于设置 DAC 输出电压。
[3:0]	未使用位	保留位。

如写入数据 3FF0h，则 DAC 输出电压值应为 2.048V。如 1FF0h，DAC 输出电压应为 4.096。

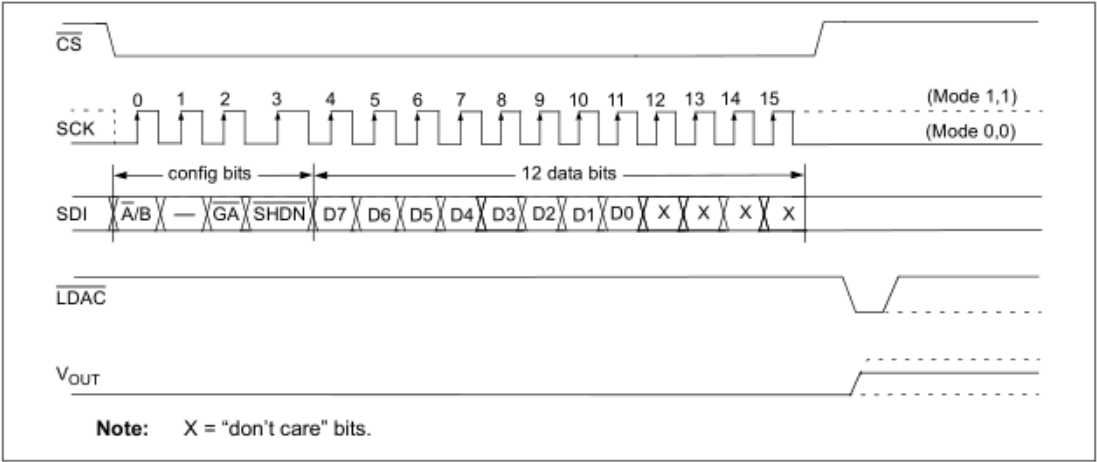


图 5 写命令时序

1.6 基于线型序列机的 DAC 驱动设计

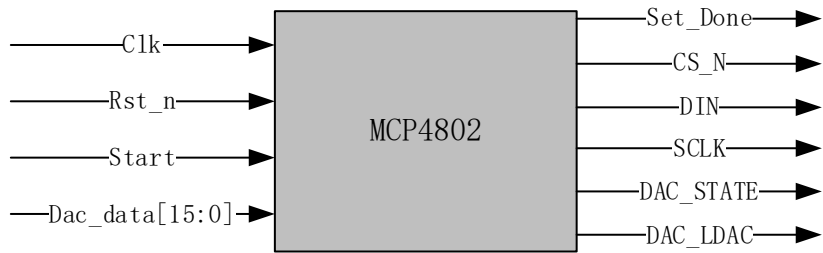


图 6 模块接口示意图

其中，每个端口的功能描述如表 1 所示。

表 1 MCP4802_DAC 模块端口功能描述

端口名称	I/O	端口功能描述
Clk	I	为控制器的工作时钟，频率为 50MHz，
Rst_n	I	控制器复位，低电平复位
Start	I	模块使能控制
Dac_data[15:0]	I	控制器控制字
Set_Done	O	更新 DAC 完成标志，每次完成更新产生一个高电平脉冲，脉冲宽度为 1 个时钟周期
CS_N	O	MCP4802 的 CS_N 接口

DIN	O	MCP4802 的 DIN 接口
SCLK	O	MCP4802 的 SCLK 接口
DAC_STATE	O	模块状态标识，低电平时为忙标志，高电平为空闲状态
DAC_LDAC	O	锁存 DAC 输入

生成使能信号，当输入使能信号有效后便将使能信号 en 置 1，当转换完成信号有效时便将其重新置 0。

```

reg en;//转换使能信号

always@(posedge Clk or negedge Rst_n)

if(!Rst_n)

    en  <= 1'b0;

else if(Start)

    en  <= 1'b1;

else if(Trans_Done)

    en  <= 1'b0;

else

    en  <= en;

```

在数据手册中 SCLK 的频率最高为 20MHz。这里为了方便适配不同的频率需求率，设置了一个可调的计数器，改变 DIV_PARAM 的值即可改变 DAC 工作频率。根据表 24.6 可以看出，需要根据计数器的值周期性的产生 SCLK 时钟信号，这里可以将计数器的值等倍数放大，形成过采样。这里产生一个两倍于 SCLK 的信号，命名为 SCLK2X。

首先编写用于生成时钟 SCLK2X 的分频计数器。

```

//生成 2 倍 SCLK 使能时钟计数器

reg [7:0]DIV_CNT;//分频计数器

```

```

always@(posedge Clk or negedge Rst_n)
if(!Rst_n)
    DIV_CNT <= 4'd0;
else if(en)begin
    if(DIV_CNT == (DIV_PARAM - 1'b1))
        DIV_CNT <= 4'd0;
    else
        DIV_CNT <= DIV_CNT + 1'b1;
end else
    DIV_CNT <= 4'd0;

```

根据使能信号以及计数器状态生成 SCLK2X 时钟。

```

//生成 2 倍 SCLK 使能时钟计数器
always@(posedge Clk or negedge Rst_n)
if(!Rst_n)
    SCLK2X <= 1'b0;
else if(en && (DIV_CNT == (DIV_PARAM - 1'b1)))
    SCLK2X <= 1'b1;
else
    SCLK2X <= 1'b0;

```

每当使能转换后，对 SCLK2X 时钟进行计数。

```

always@(posedge Clk or negedge Rst_n)
if(!Rst_n)
    SCLK_GEN_CNT <= #1 6'd0;
else if(SCLK2X && en)begin
    if(SCLK_GEN_CNT == 6'd36)
        SCLK_GEN_CNT <= #1 6'd0;
    else
        SCLK_GEN_CNT <= #1 SCLK_GEN_CNT + 1'd1;
end else
    SCLK_GEN_CNT <= #1 SCLK_GEN_CNT;

```

根据 SCLK2X 计数器的值来确认工作状态以及数据传输进程。

```
//依次将数据移出到DAC芯片
always@(posedge Clk or negedge Rst_n)
if(!Rst_n)begin
    DAC_DIN  <= #1 1'b1;
    DAC_SCLK  <= #1 1'b0;
    DAC_CS_N <= #1 1'b1;
    DAC_LDAC  <= #1 1'b1;
end else if(!Set_Done && SCLK2X) begin
    case(SCLK_GEN_CNT)
        0:
            begin
                DAC_CS_N <= #1 1'b0;
                DAC_DIN  <= #1 r_DAC_DATA[15];
                DAC_SCLK  <= #1 1'b0;
                DAC_LDAC  <= #1 1'b1;
            end

        1,3,5,7,9,11,13,15,17,19,21,23,25,27,29,31:
            begin
                DAC_SCLK  <= #1 1'b1;
            end

        2: begin DAC_DIN  <= #1 r_DAC_DATA[14]; DAC_SCLK  <= #1 1'b0;
end
        4: begin DAC_DIN  <= #1 r_DAC_DATA[13]; DAC_SCLK  <= #1 1'b0;
end
        6: begin DAC_DIN  <= #1 r_DAC_DATA[12]; DAC_SCLK  <= #1 1'b0;
end
        8: begin DAC_DIN  <= #1 r_DAC_DATA[11]; DAC_SCLK  <= #1 1'b0;
end
        10: begin DAC_DIN  <= #1 r_DAC_DATA[10]; DAC_SCLK  <= #1 1'b0;
end
        12: begin DAC_DIN  <= #1 r_DAC_DATA[9];  DAC_SCLK  <= #1 1'b0;
end
        14: begin DAC_DIN  <= #1 r_DAC_DATA[8];  DAC_SCLK  <= #1 1'b0;
end
        16: begin DAC_DIN  <= #1 r_DAC_DATA[7];  DAC_SCLK  <= #1 1'b0;
end
        18: begin DAC_DIN  <= #1 r_DAC_DATA[6];  DAC_SCLK  <= #1 1'b0;
end
        20: begin DAC_DIN  <= #1 r_DAC_DATA[5];  DAC_SCLK  <= #1 1'b0;
end
    end
end
```



```

22: begin DAC_DIN  <= #1 r_DAC_DATA[4]; DAC_SCLK  <= #1 1'b0;
end
24: begin DAC_DIN  <= #1 r_DAC_DATA[3]; DAC_SCLK  <= #1 1'b0;
end
26: begin DAC_DIN  <= #1 r_DAC_DATA[2]; DAC_SCLK  <= #1 1'b0;
end
28: begin DAC_DIN  <= #1 r_DAC_DATA[1]; DAC_SCLK  <= #1 1'b0;
end
30: begin DAC_DIN  <= #1 r_DAC_DATA[0]; DAC_SCLK  <= #1 1'b0;
end

32: DAC_SCLK  <= #1 1'b0;
33: DAC_CS_N  <= #1 1'b1;
35: DAC_LDAC  <= #1 1'b0; //最少40ns后拉低
36: DAC_LDAC  <= #1 1'b1;

default;;
endcase

end

```

一次转换结束的标志，即 SCLK_GEN_CNT[5] && SCLK2X，并产生一个高脉冲的转换完成标志信号 Set_Done。

```

assign trans_done = (SCLK_GEN_CNT == 36) && SCLK2X;

always@(posedge Clk or negedge Rst_n)
if(!Rst_n)
Set_Done <= 1'b0;
else if(trans_done)
Set_Done <= 1'b1;
else
Set_Done <= 1'b0;

```

完成工程代码设计后，接下来进行激励创建及仿真测试。

1.7 激励创建及仿真测试

这里仿真文件可以设计成输出几次并行数据，观测串行数据输出 DIN 的状态

即可判断是否能驱动正常。这里输出四次数据分别为 FAA0h、D550h、7550h、5550h。仿真文件激励描述部分代码如下，下方激励数据只写出了前两个数据，后面两个数据可以参考后直接复制修改即可。

```
initial begin
    Rst_n = 0;
    Start = 0;
    DAC_DATA = 0;
    #201;
    Rst_n = 1;
    #200;
    DAC_DATA = 16'hFAA0;
    Start = 1;
    #20;
    Start = 0;
    #200;
    wait(Set_Done);
    #20000;
    DAC_DATA = 16'hD550;
    Start = 1;
    #20;
    Start = 0;
    #200;
    wait(Set_Done);
    #20000;
    DAC_DATA = 16'h7550;
    Start = 1;
    #20;
    Start = 0;
    #200;
    wait(Set_Done);
    #20000;
    DAC_DATA = 16'h5550;
    Start = 1;
    #20;
    Start = 0;
    #200;
    wait(Set_Done);
    #20000;
    $stop;

end
```

开始仿真后，可看出手动控制 DAC_DATA 数据输入状态正常，如下图错误!未

找到引用源。所示。

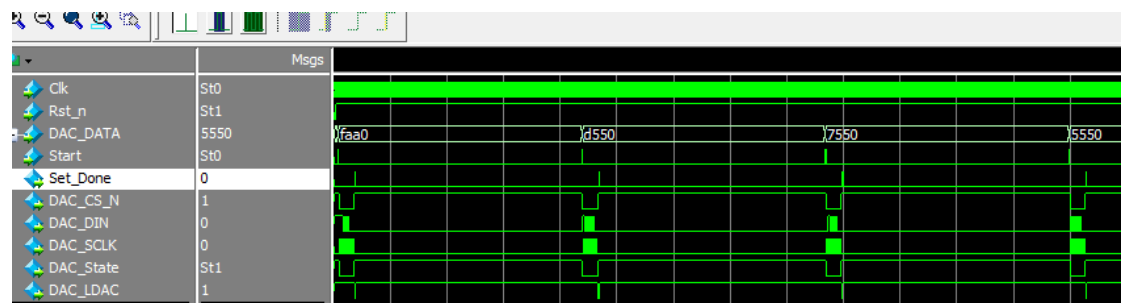


图 7 整体仿真波形

放大第一个数据传输过程，如下图所示，可以看出 DIN 数据线上可正常传输 1111_1010_1010_0000b，且计数器 SCLK_GEN_CNT 计数到 36d 后清零，符合设计要求，且每个传输过程中 CS_N 为低。传输完成后产生一个时钟周期的 Set_Done 标志信号。

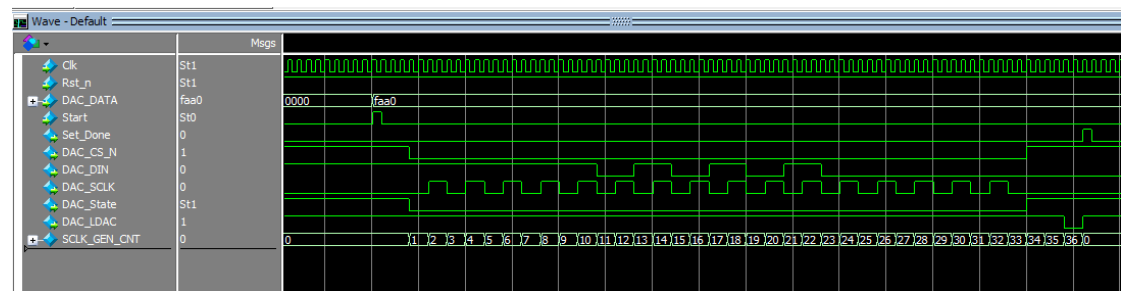


图 8 第一次传输数据仿真波形

通过以上波形观察可以验证 MCP4802_DAC 转换芯片驱动设计的正确性。完成仿真验证后，接下来将进行 ISSP 配置，进而实现板级验证。

1.8 ISSP 配置及板级验证

经过以上设计和仿真分析，本工程设计的 MCP4802 的驱动模块功能已经实现。接下来就可以使用该控制器来控制开发板上的 MCP4802 型芯片。

首先，完成工程的管脚绑定，对应关系如下：

表 2 管脚对应关系

信号名	方向	AC101
Clk	Input	PIN_23

DAC_CS_N	Output	PIN_100
Rst_n	Input	PIN_24
DAC_DIN	Output	PIN_98
DAC_SCLK	Output	PIN_99
DAC_LDAC	Output	PIN_87

前面已经介绍过，MCP4802 是一款将输入的 SPI 信号转换为模拟电压输出的芯片，而本节设计的 MCP4802 芯片驱动模块，正是将 ISSP 发送而来的并行数字信号，转换为 SPI 接口的串行数字信号供 MCP4802 芯片读取。

那么，如何通过 ISSP 功能，来控制 and 调整 TLV5618 输出的电压值呢？当使用 ISSP 的 Source 功能完成 MCP4802 驱动模块输入的电压数字量设定后，MCP4802 驱动模块会将输入的该并行数字量信号转换为 SPI 接口的串行数字量输出到 MCP4802 芯片。MCP4802 芯片将输入的 SPI 信号解码，得到输出端的电压信号。最终，该电压信号传递给开发板右侧的 4pin 排针。在板级验证环节，我们只需要测量相应输出端的排针输出电压值，是否为 ISSP 设定数字量对应的输出的电压理论值，即可完成该实验的板级验证。

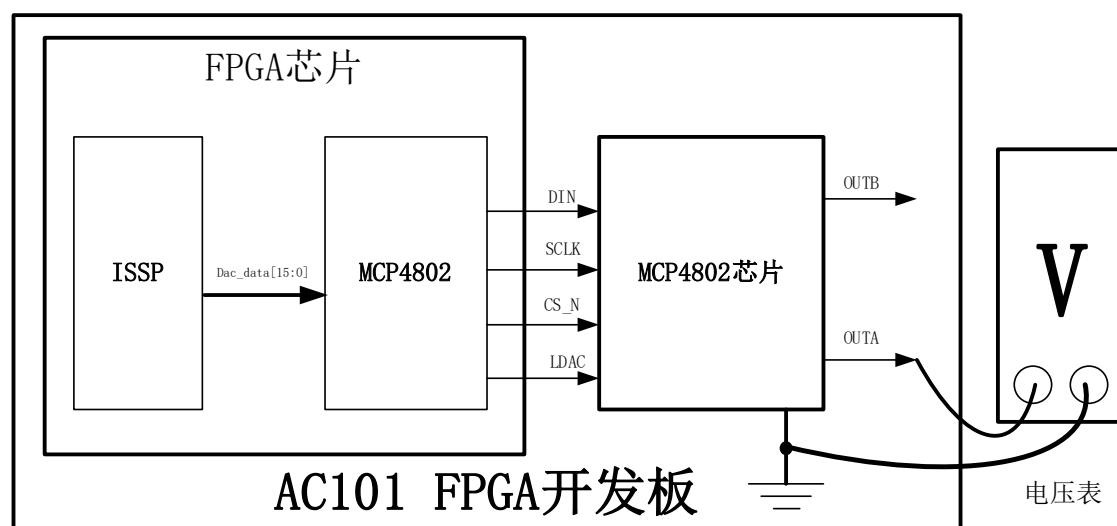


图 9 ISSP 源位宽参数设置

为了对 MCP4802 驱动模块进行板级验证，可以配置和使用 ISSP 在线调试工具进行数模转换的数据量设定。

创建一个 ISSP IP 核，其源位宽设定为 16 位。如下图所示：

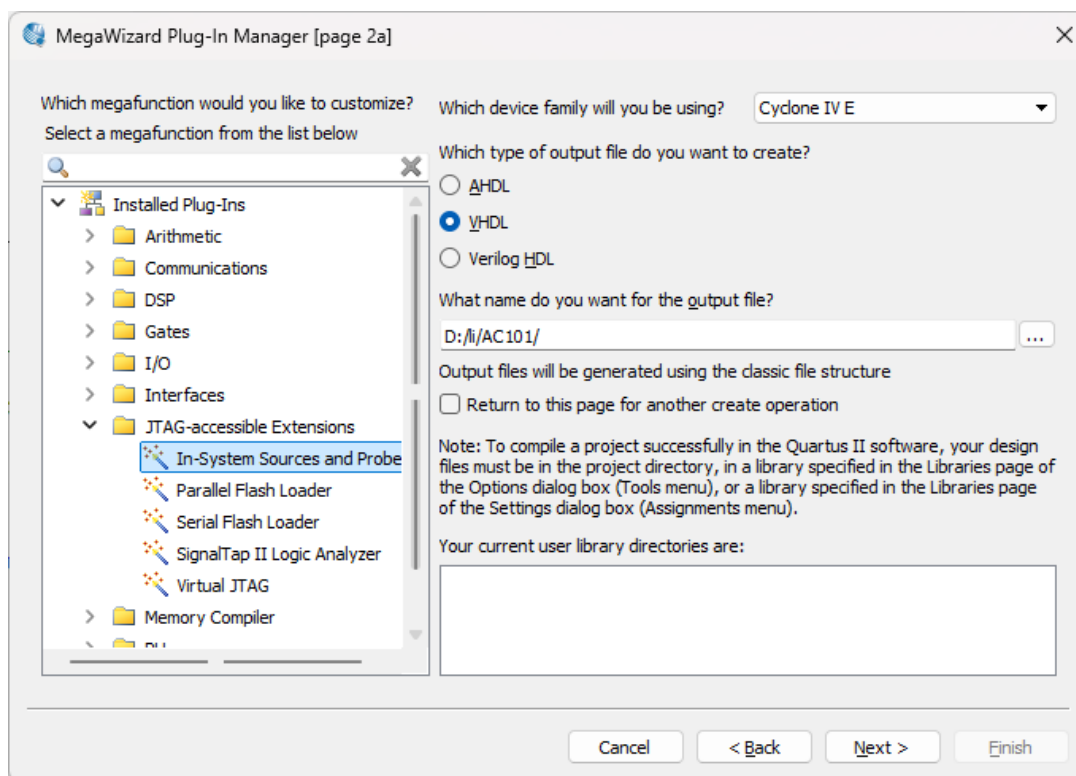


图 10 ISSP 创建

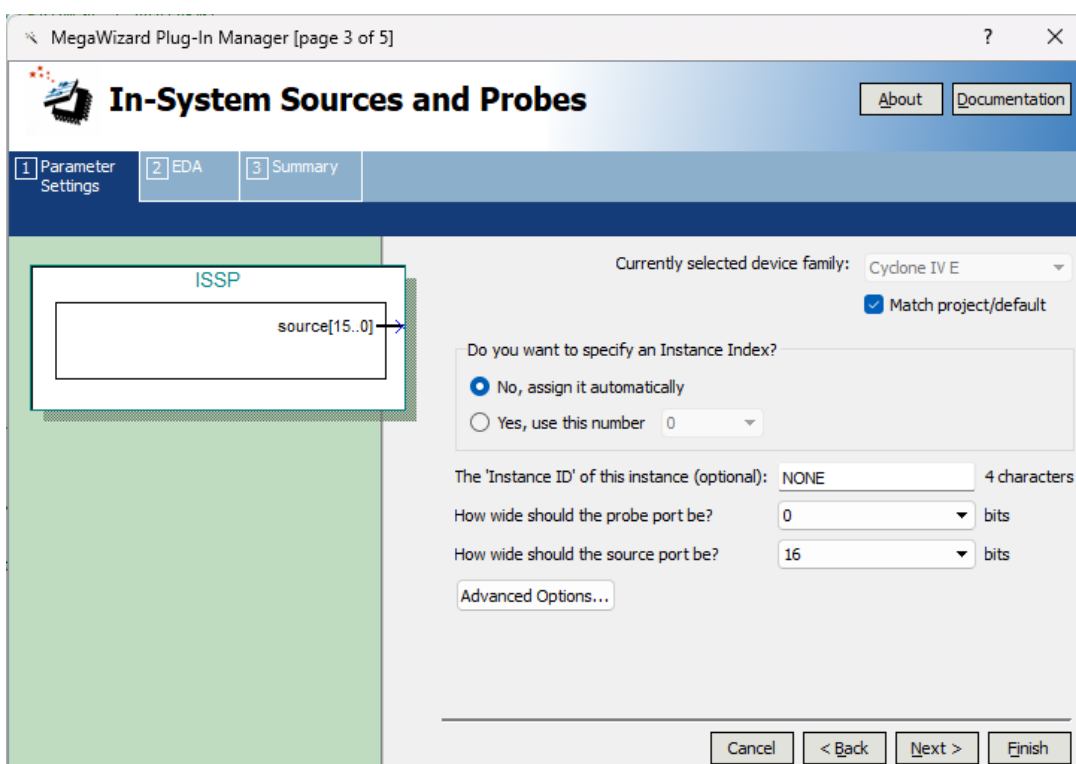


图 11 ISSP 参数设置

加入工程后新建顶层文件 DAC_test.v，并对 ISSP 以及设计好的 MCP4802 驱

动模块进行例化，如有需要，供参考的顶层文件可随工程查阅。

单独测试 A 通道：将 ISSP 设置为 16 进制 hex 格式后，依次输入 7FF0h、5FF0h、7550h，理论输出电压值应为 2.048、4.096、0.68。可在通道 A 测量输出电压依次为 2.047、4.093、0.65，电压输出在误差允许范围内。

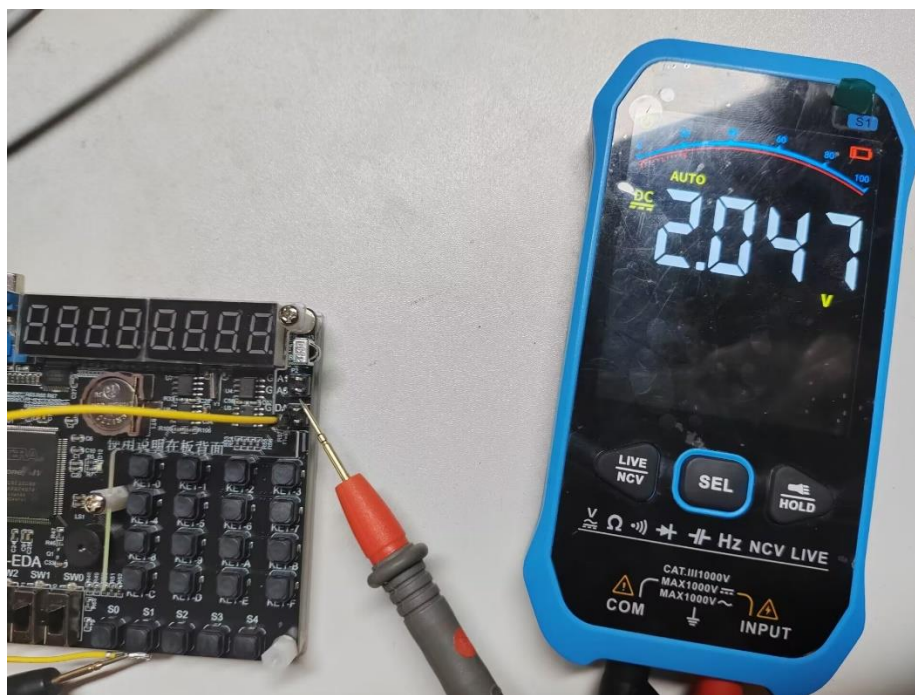


图 12 通道 A

单独测试 B 通道：依次输入 FFF0h、DFF0h、F550h，理论输出电压值应为 2.048、4.096、0.68。可在通道 B 测量输出电压依次为 2.047、4.092、0.66。电压输出在误差允许范围内。

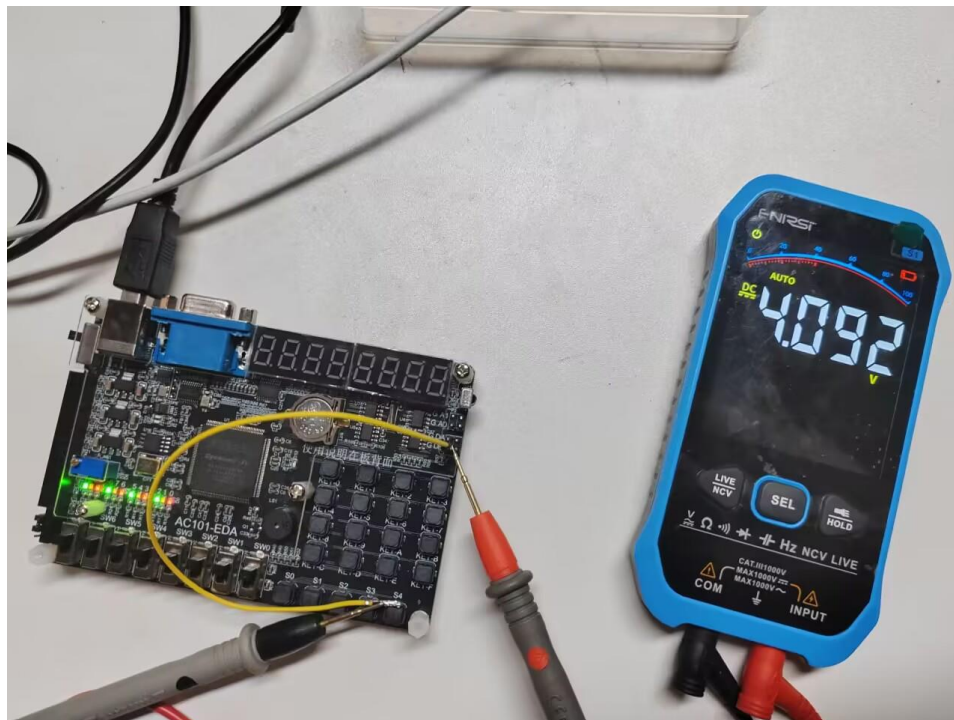


图 13 通道 B

1.9 常见问题说明

1、数模转换的转换结果可以有两个输出通道进行选择。单独选择哪个通道或者是否为两个通道同时输出，需由寄存器配置决定，如果配置两个通道同时输出，需对寄存器进行两次写入。

2、数据手册中 MCP4802 的 SCLK 最高工作频率为 20MHz，读者在独立使用该芯片开发工程项目的实战环节中，需要遵循该参数的使用范围，并留有一定的余量。