

AC6103 DDR2 测试工程

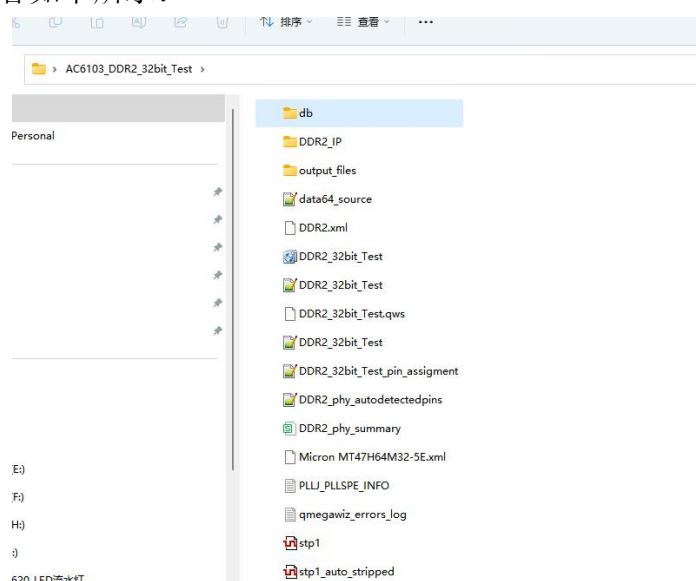
本文档介绍 AC6103 上 DDR2 存储器基于 Verilog 代码的测试过程。AC6103 上使用了 2 片 16bit 的 DDR2 存储器组成了 32bit 的硬件总线。虽然是 32bit 硬件总线，但是我们在使用的时候，也可以只使用其中 1 片，即 16bit 模式，忽略对另一片 DDR2 的读写。因此整个测试分为两种模式，16bit 型（仅测试位于低 16bit 的 DDR2 芯片）和 32bit 型（测试由两片 DDR2 组成的 32bit 接口）。在实际使用时用户可以根据自己的需求选择使用 16bit（仅使用 1 片 DDR2）或 32bit（同时使用两片 DDR2）接口。两个测试工程与对应的功能如下所示。

文件名	功能描述
AC6103_DDR2_16bit_Test	单片 16bit 模式测试工程
AC6103_DDR2_32bit_Test	两片 32bit 模式测试工程

工程可以在我们提供的配套资料中找到。

由于两种模式的测试方式完全相同，这里仅以两片 32bit 模式的工程为例，讲解测试过程。

1、解压 AC6103_DDR2_32bit_Test.rar 到不含中文或者空格的目录中，解压后工程目录下内容如下所示：



文件或文件名	文件或文件夹功能描述
DDR2_IP 文件夹	调用 DDR2 IP 核后生成的各种源码，不可随意修改
output_files 文件夹	编译整个工程后生成的文件，包括我们需要下载 FPGA 中运行的 sof 文件
DDR2.xml	生成 DDR2 IP 时相关文件，存储了 DDR2 的一些相关信息，暂不理睬。
DDR2_32bit_Test.qpf	工程配置文件，记录了工程相关的各个设置，包括引脚分配。
DDR2_32bit_Test.v	测试工程顶层，例化了 DDR2 IP 和测试代码，组成完整的测试工程。
data64_source.v	DDR2 读写测试逻辑，该部分实现对 DDR2 的写入和

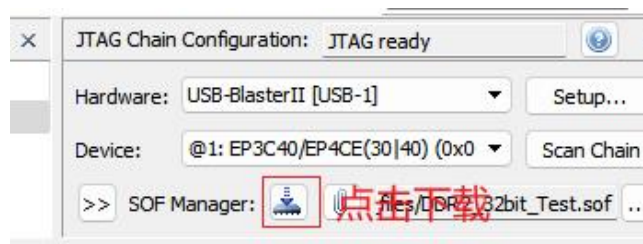
	读出控制，以配合 signaltap ii 抓取实时读写波形，以判断 DDR2 的读写是否真确。名字里之所以为 64，是因为 32bit 硬件总线的 DDR2 对用户的逻辑接口为 32*2，即 64bit，所以我们需要实用 64bit 的数据进行测试
DDR2_32bit_Test_pin_assignment.tcl	工程引脚分配，由于 DDR2 的引脚电平和分组都有严格要求，与我们平常普通的引脚分配方式有一定区别，因此这里提供本工程的引脚分配脚本，如果用户不小心操作使得工程引脚分配丢失，可以运行此 tcl 脚本来恢复引脚分配。
Micron MT47H64M32-5E.xml	DDR2 存储器参数配置文件，在 DDR2 IP 核配置界面需要用到。该文件的创建和使用在后续教程中会详细介绍，本测试工程不做过多讲解。
stp1.stp	signaltap ii 设置文件，测试时双击运行此文件以查看 写入和读出的数据内容，通过抓取的波形内容分析读写 是否正确。

2、双击 DDR2_32bit_Test.qpf 以打开工程（强烈建议使用工程创建时候对应的版本即 Quartus II 13.0。

3、使用配套电源给开发板供电，打开电源开关，插上 USB Blaster 下载器。然后在 Quartus II 中打开双击 stp1.stp 文件打开 signaltap ii，如下图所示：



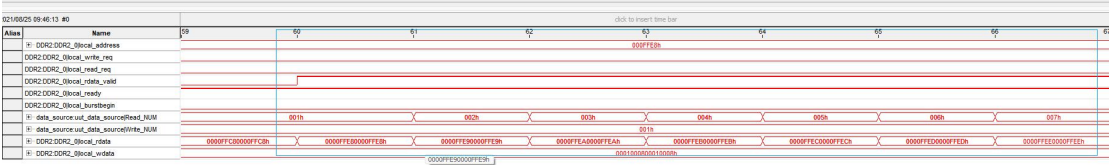
4、选择下载器和需要下载的文件，然后点击下载以开始下载 sof 文件到开发板中，如下图所示：



5、点击 Run Analysis，抓取单次波形数据，如下图所示：



6、分析抓取到的数据内容，重点看 local_address 为 0xFFE_部分的读取结果，可以看到



当 local_rdata_valid 为高电平时，表明发出的读取指令已经开始返回数据，可以看到，返回的数据高 32 位和低 32 位数据都是从地址值开始累加返回的。与写入的数据一致，表明 DDR2 的读写是没有问题的。测试 16bit 版本与 32bit 版本的过程完全一致，这里就不在细说。