

Intel FPGA Download Cable II 用户指南

UG-01150
2016.10.28





内容

1 设置 Intel FPGA Download Cable II	3
1.1 受支持的器件和系统	3
1.2 电源要求	3
1.3 软件要求和支持	4
1.4 安装 Intel FPGA Download Cable II 进行配置和编程	4
1.5 在 Windows 7/8 系统上安装 Intel FPGA Download Cable II 驱动程序	5
1.6 在 Linux 系统上安装 Intel FPGA Download Cable II 驱动程序	5
1.7 在 Windows XP 系统上安装 Intel FPGA Download Cable II 驱动程序	6
1.8 使用 Quartus Prime 软件设置 Intel FPGA Download Cable II 硬件	6
2 Intel FPGA Download Cable II 规范	8
2.1 电压要求	8
2.2 电缆到电路板连接(Cable-to-Board Connection)	8
2.3 Intel FPGA Download Cable II 插头连接	9
2.4 10 针母插头信号名称和编程模式	10
2.5 电路板头连接	11
2.6 操作条件	11
2.7 JTAG 时序约束和波形	13
2.8 更改 TCK 频率	14
A 附加信息	16
A.1 文档修订历史	16
A.2 认证声明	17
A.2.1 RoHS Compliance	17
A.2.2 USB 2.0 认证	17
A.2.3 CE EMI 一致性提醒	17



1 设置 Intel FPGA Download Cable II

注意: 下载电缆(download cable)已经更名为 Intel® FPGA download cable II。某些文件名称可能仍然引用 USB-Blaster II。

Intel FPGA download cable II 连接主机上的 USB 端口和安装在印刷电路板上的 Intel FPGA。下载电缆将 PC 中的数据发送到与 FPGA 连接的标准 10 针头。下载电缆可用于：

- 在原型设计期间反复将配置数据下载到系统中
- 在生产期间将数据编程到系统中
- 高级加密标准(AES)密钥和引信(fuse)编程

1.1 受支持的器件和系统

您可以使用电缆下载配置数据到以下器件中：

- Stratix®系列 FPGA
- Cyclone®系列 FPGA
- MAX®系列 CPLD
- Arria®系列 FPGA

您可以执行以下器件的系统内编程(in-system programming)：

- EPC4, EPC8 和 EPC16 增强配置器件
- EPCS1, EPCS4, EPCS16, EPCS64 和 EPCS/Q128, EPCQ256, EPCQ-L 和 EPCQ512 串行配置器件

电缆支持使用以下标准的目标系统：

- 5.0-V TTL, 3.3-V LVTTTL/LVCMOS
- 1.5 V 到 3.3 V 的单端 I/O 标准

1.2 电源要求

- 5.0 V 电缆
- 1.5 V 到 5.0 V 目标电路板

1.3 软件要求和支持

- Windows 7/8 (32-bit and 64-bit)
- Windows XP (32-bit and 64-bit)
- Windows Server 2008 R2 (64-bit)
- 诸如 Red Hat Enterprise 5 的 Linux 平台

使用 Quartus® Prime 14.0 或更高版本配置您的器件。

注意:

Quartus Prime 13.1 支持大多数下载电缆的功能。如果使用此版本，那么要安装最新补丁来达到完全兼容。

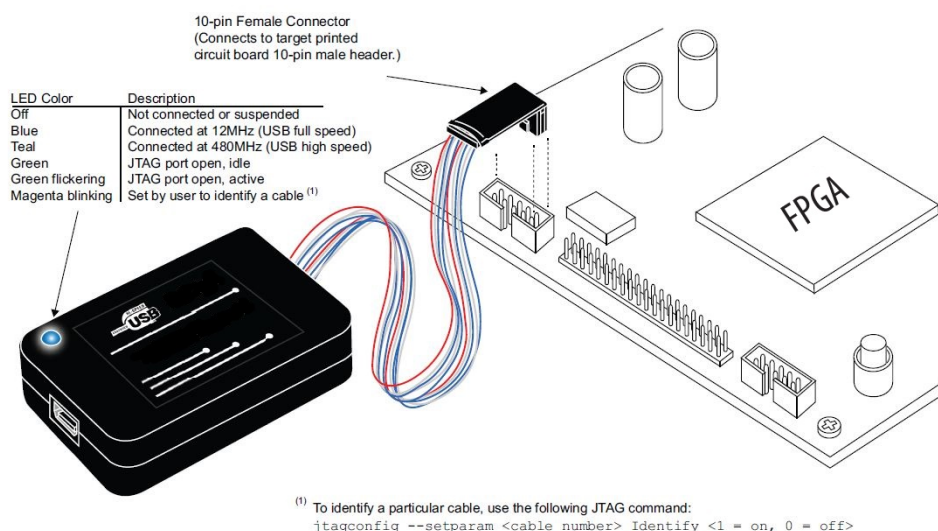
下载电缆还支持以下工具:

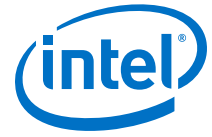
- Quartus Prime Programmer (和独立版本)
- Quartus Prime SignalTap® II Logic Analyzer (和独立版本)
- JTAG Server 支持的 JTAG 和调试工具。例如:
 - System Console
 - Nios II debugger
 - ARM DS-5 debugger

1.4 安装 Intel FPGA Download Cable II 进行配置和编程

1. 将电源线从电路板上断开。
2. 将电缆连接到计算机的 USB 端口和下载电缆端口。
3. 将电缆连接到器件电路板上的 10 针头。
4. 重新连接电源线以重新给电路板供电。

图 1. Intel FPGA Download Cable II





注意: 关于插头尺寸, 管脚名称和操作条件的信息, 请参见 *Intel FPGA Download Cable II 规范* 章节。

相关链接

[Intel FPGA Download Cable II 规范 \(第 8 页\)](#)

1.5 在 Windows 7/8 系统上安装 Intel FPGA Download Cable II 驱动程序

您必须具有系统管理(管理员)权限才能安装下载电缆驱动程序。

下载电缆驱动程序包含在 Quartus Prime 软件安装程序中。在开始安装前, 请确认您的下载电缆驱动程序位于目录 \<Quartus Prime system directory> \ **drivers\usb-blaster-ii** 中。

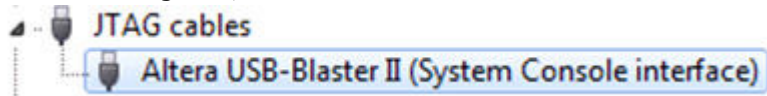
1. 将下载电缆连接到计算机的 USB 端口。
首次插入时会显示一条信息 **Device driver software was not successfully installed(器件驱动程序未被成功安装)**。
2. 在 Windows Device Manager 中, 找到 **Other devices** 并右击顶部的 **USB-BlasterII**。



您需要为每个接口安装驱动程序: 一个 JTAG 接口的驱动程序, 一个 System Console 接口的驱动程序。

3. 在右击菜单上, 点击 **Update Driver Software**。出现 **Update Driver Software - USB BlasterII** 对话框。
4. 点击 **Browse my computer for driver software**。
5. 点击 **Browse...**, 去到驱动程序的在系统中的位置: \<Quartus Prime system directory> \ **drivers\usb-blaster-ii**。点击 **OK**。
6. 点击 **Next** 安装驱动程序。
7. 点击 **Install** 开始安装驱动程序。

在 Device Manager 中, 现在应该会显示 JTAG 电缆。



8. 现在, 安装另一个接口的驱动程序。返回到步骤 2, 重复执行相应的步骤。
完成安装时, 在 JTAG cables 下会添加 **USB-Blast II (JTAG interface)**。

1.6 在 Linux 系统上安装 Intel FPGA Download Cable II 驱动程序

对于 Linux, 下载电缆支持 Red Hat Enterprise 5, 6 和 7。

要访问电缆, Quartus Prime 软件使用内置的 Red Hat USB 驱动程序, USB 文件系统(usbfs)。默认情况下, **root** 是唯一被允许使用 usbfs 的用户。您必须具有系统管理(root)权限才能配置 Intel FPGA 下载电缆驱动程序。

1. 创建一个命名为 /etc/udev/rules.d/51-usbblaster.rules 的文件, 将以下命令行加入到此文件中。(如果已经安装了更早版本的 USB-Blaster, 那么 **rules** 可能已经存在。)



a. Red Hat Enterprise 5 和 6

```
# Intel FPGA Download Cable II
BUS=="usb", SYSFS{idVendor}=="09fb", SYSFS{idProduct}=="6010",
MODE="0666"
BUS=="usb", SYSFS{idVendor}=="09fb", SYSFS{idProduct}=="6810",
MODE="0666"
```

b. Red Hat Enterprise 7 和更高版本

```
# Intel FPGA Download Cable II
SUBSYSTEMS=="usb", ATTRS{idVendor}=="09fb", ATTRS{idProduct}=="6010",
MODE="0666"
SUBSYSTEMS=="usb", ATTRS{idVendor}=="09fb", ATTRS{idProduct}=="6810",
MODE="0666"
```

警告: 在此文件中应该只有三行代码，一行以注释开头，两行以 BUS 开头。请不要在 **rules** 文件中添加额外的换行符。

2. 通过在 Quartus Prime 软件中设置编程硬件来完成安装。去到“使用 Quartus Prime 软件设置 Intel FPGA Download Cable II 硬件”部分。

关于下载电缆驱动程序安装的详细信息，请参考“电缆和适配器驱动程序信息”页面。

相关链接

- 使用 [Quartus Prime 软件设置 Intel FPGA Download Cable II 硬件](#) (第 6 页)
- [电缆和适配器驱动程序信息](#)

1.7 在 Windows XP 系统上安装 Intel FPGA Download Cable II 驱动程序

您必须具有系统管理(管理员)权限才能安装下载电缆驱动程序。

下载电缆驱动程序包含在 Quartus Prime 软件安装程序中。在开始安装前，请确认您的下载电缆驱动程序位于目录\<Quartus Prime system directory>\ **drivers\usb-blaster-ii** 中。

1.8 使用 Quartus Prime 软件设置 Intel FPGA Download Cable II 硬件

1. 运行 Quartus Prime 软件。
2. 在 Tools 菜单中，点击 **Programmer**。
3. 点击 **Hardware Setup**。
4. 单击 **Hardware Settings** 选项卡。
5. 从 **Currently selected hardware** 列表中选择 **Intel FPGA Download Cable II**。
6. 点击 **Close**。
7. 在 **Mode** 列表中，选择相应的编程模式。下表对每种模式进行了描述。



表 1. 编程模式

模式	模式说明
Joint Test Action Group (JTAG)	通过 JTAG programming 对 Quartus Prime 软件支持的所有器件进行编程和配置。
In-Socket Programming	不被下载电缆支持。
Passive Serial Programming	配置 Quartus Prime 软件支持的所有器件，不包括增强型配置器件 (EPC) 和串行配置器件 (EPCS/Q)。
Active Serial Programming	编程单独的 EPCS1, EPCS4, EPCS16, EPCS64, EPCS/Q128, EPCQ256, EPCQ-L 和 EPCQ512 器件。

关于使用 Quartus Prime Programmer 的详细帮助信息，请参考 *Quartus Prime Handbook*。

相关链接

[Quartus Prime 手册](#)



2 Intel FPGA Download Cable II 规范

2.1 电压要求

对于正被编程的器件而言， $V_{CC(TRGT)}$ 管脚必须连接到特定电压。将上拉电阻连接到与下载电缆相同的电源上($V_{CC(TRGT)}$)。

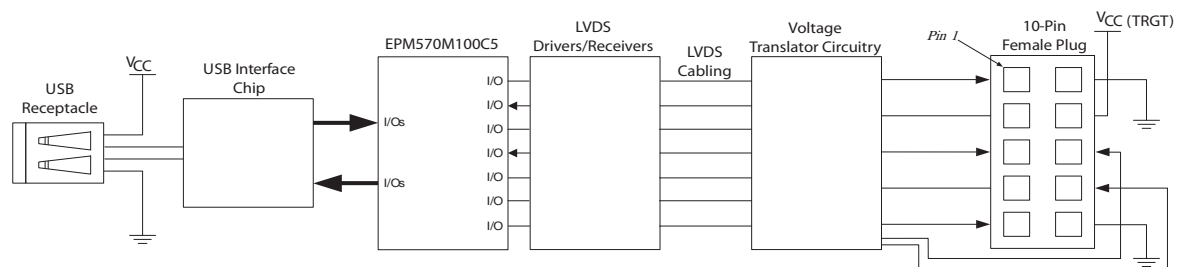
表 2. Intel FPGA Download Cable II $V_{CC(TRGT)}$ 管脚电压要求

器件系列	Intel FPGA Download Cable II VCC 电压要求
Arria GX	由 V_{CCSEL} 指定的电压
Arria II GX	由 Bank 8C 的 V_{CCPD} 或 V_{CCIO} 指定的电压
Arria V	由 V_{CCPD} Bank 3A 指定的电压
Arria 10	由 V_{CCPGM} 或 V_{CCIO} 指定的电压
Cyclone III	由 V_{CCA} 或 V_{CCIO} 指定的电压
Cyclone IV	由 V_{CCIO} 指定的电压。Bank 9 指定 Cyclone IV GX 器件，Bank 1 指定 Cyclone IV E 器件。
Cyclone V	由 V_{CCPD} Bank 3A 指定的电压
EPC4, EPC8, EPC16	3.3 V
EPCS1, EPCS4, EPCS16, EPCS64, EPCS128	3.3 V
EPCS/Q16, EPCS/Q64, EPCS/Q128, EPCQ256, EPCQ512	3.3 V
EPCQ-L	1.8 V
MAX II, MAX V	由 Bank 1 的 V_{CCIO} 指定的电压
MAX 10	由 V_{CCIO} 指定的电压
Stratix II, Stratix II GX	由 V_{CCSEL} 指定的电压
Stratix III, Stratix IV	由 V_{CCPGM} 或 V_{CCPD} 指定的电压
Stratix V	由 V_{CCPD} Bank 3A 指定的电压

2.2 电缆到电路板连接(Cable-to-Board Connection)

一条标准的 USB 电缆连接到器件的 USB 端口。

图 2. Intel FPGA Download Cable II 结构图



2.3 Intel FPGA Download Cable II 插头连接

10 针母插头连接到包含目标器件的电路板上的 10 针公头。

图 3. Intel FPGA Download Cable II 10 针母插头尺寸 - 英寸和毫米

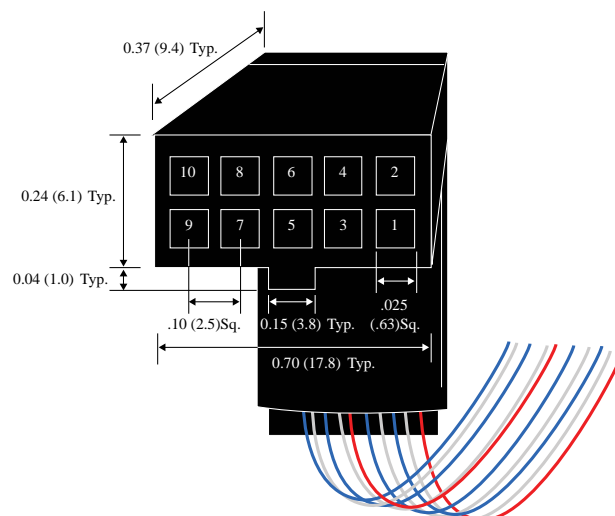
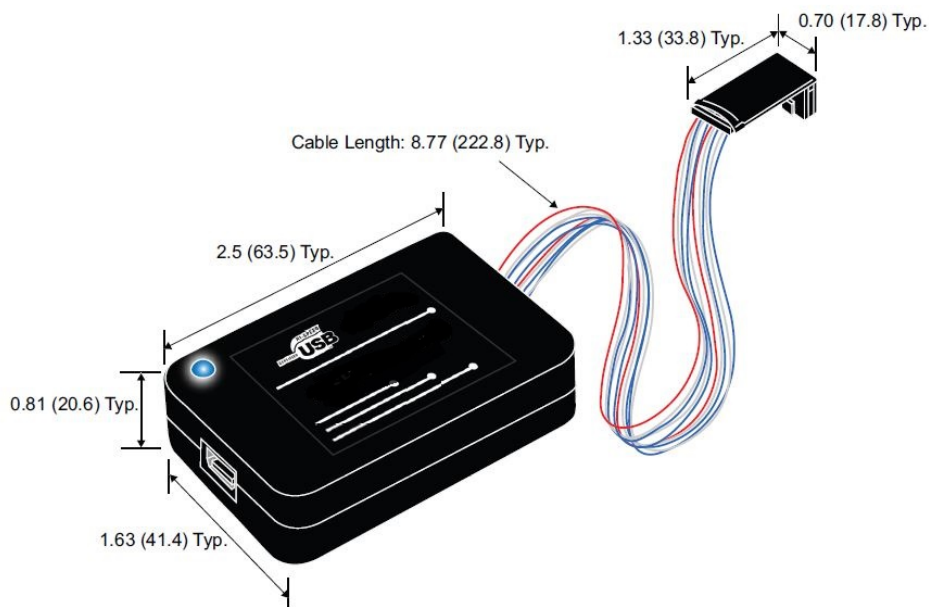


图 4. Intel FPGA Download Cable II 尺寸 - 英寸和毫米



2.4 10 针母插头信号名称和编程模式

表 3. 10 针母插头信号名称和编程模式

针(管脚)	Active Serial (AS) Mode		Passive Serial (PS) Mode		JTAG Mode	
	信号名称	说明	信号名称	说明	信号名称	说明
1	DCLK	时钟信号	DCLK	时钟信号	TCK	时钟信号
2	GND	信号接地	GND	信号接地	GND	信号接地
3	CONF_DONE	配置完成	CONF_DONE	配置完成	TDO	配置完成
4	VCC (TRGT)	目标电源	VCC (TRGT)	目标电源	VCC (TRGT)	目标电源
5	nCONFIG	配置控制	nCONFIG	配置控制	TMS	配置控制
6	nCE	Cyclone 芯片使能	-	Cyclone 芯片使能	PROC_RST ⁽¹⁾	Cyclone 芯片使能
7	DATAOUT	主动串行数据输出	nSTATUS	主动串行数据输出	-	主动串行数据输出
8	nCS	串行配置器件芯片选择	-	串行配置器件芯片选择	-	串行配置器件芯片选择
9	ASDI	主动串行数据输入	DATA0	主动串行数据输入	TDI	主动串行数据输入
10	GND	信号接地	GND	信号接地	GND	信号接地

(1) 对 JTAG 模式下的硬核处理器复位使用 pin 6。

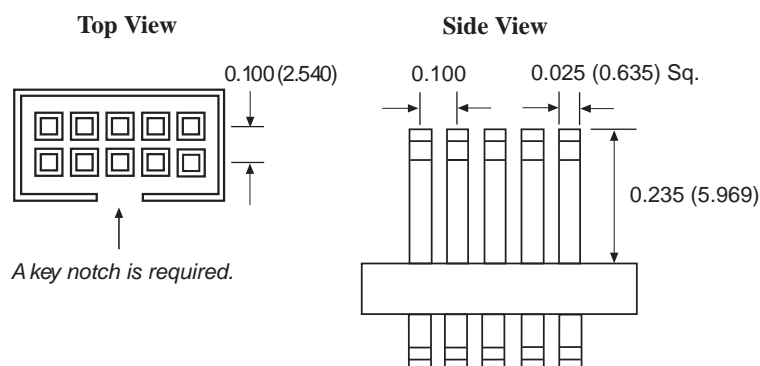
注意: 在 JTAG 模式中, 当 ARM DS-5 debugger 提示时, PROC_RST 管脚能用于触发 HPS 模块的热复位。PROC_RST 为低电平有效信号, 而非集电极开路管脚。因此, 不建议直接将 PROC_RST 连接到 HPS_nRST。您应该将此管脚连接到诸如 MAX V CPLD 辅助器件, 并使用该器件管理 HPS 的复位网络。

2.5 电路板头连接

10 针公头(连接到下载电缆的 10 针母插头)有两排五针。针(管脚)连接到器件的编程或配置管脚。

警告: 如果电路板上的头连接是一个公插座, 那么它必须有一个键槽(key notch)。没有键槽, 10 针母插头将连接不上。下图显示了一个典型的带键槽的 10 针公头。

图 5. 10 针公头尺寸 - 英寸和毫米



尽管 10 针表面贴装头能够用于电缆, 但 Intel 建议使用通孔连接器。通孔连接器在重复插入和拆卸情况下会表现的更好。

2.6 操作条件

下表汇总了下载电缆的最大额定值, 建议的操作条件和 DC 操作条件。

表 4. Intel FPGA Download Cable II 绝对最大额定值

符号	参数	条件	最小值	最大值	单位
$V_{CC(TRGT)}$	Target supply voltage	With respect to ground	- 0.5	6.5	V
$V_{CC(USB)}$	USB supply voltage	With respect to ground	- 0.5	6.0	V
I_I	Target side input current	Pin 7	- 100.0	100.0	mA
$I_{I(USB)}$	USB supply current	VBUS	-	200.0	mA
I_o	Target side output current	Pins: 1, 5, 6, 8, 9	- 50.0	50.0	mA

表 5. Intel FPGA Download Cable II 建议的操作条件

符号	参数	条件	最小值	最大值	单位
$V_{CC(TRGT)}$	Target supply voltage, 5.0-V operation	—	4.75	5.25	V
	Target supply voltage, 3.3-V operation	—	3.0	3.6	V

继续...



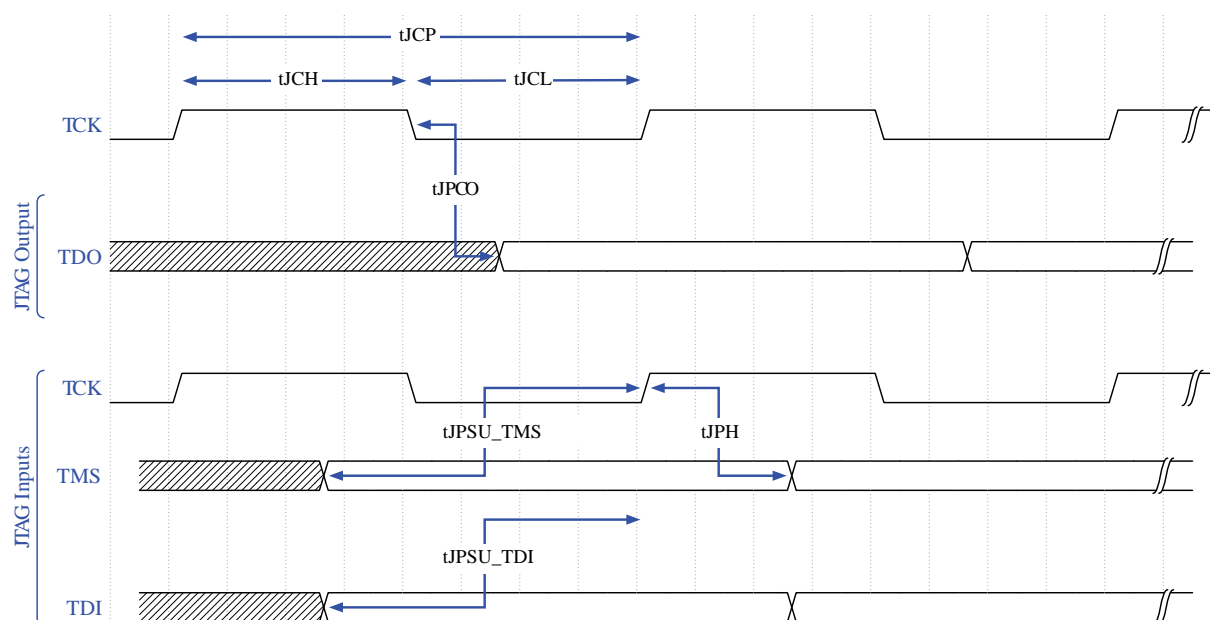
符号	参数	条件	最小值	最大值	单位
	Target supply voltage, 2.5-V operation	—	2.375	2.625	V
	Target supply voltage, 1.8-V operation	—	1.71	1.89	V
	Target supply voltage, 1.5-V operation	—	1.43	1.57	V

表 6. Intel FPGA Download Cable II DC 操作条件

符号	参数	条件	最小值	最大值	单位
V_{IH}	High-level input voltage	$V_{CC(TRGT)} \geq 2.0 \text{ V}$	$0.7 \times V_{CC(TRGT)}$	—	V
	High-level input voltage	$V_{CC(TRGT)} < 2.0 \text{ V}$	$0.65 \times V_{CC(TRGT)}$	—	V
V_{IL}	Low-level input voltage	$V_{CC(TRGT)} \geq 2.0 \text{ V}$	—	$0.3 \times V_{CC(TRGT)}$	V
	Low-level input voltage	$V_{CC(TRGT)} < 2.0 \text{ V}$	—	$0.2 \times V_{CC(TRGT)}$	V
V_{OH}	5.0-V high-level output voltage	$V_{CC(TRGT)} = 4.5 \text{ V}, I_{OH} = -32 \text{ mA}$	3.8	—	V
	3.3-V high-level output voltage	$V_{CC(TRGT)} = 3.0 \text{ V}, I_{OH} = -24 \text{ mA}$	2.4	—	V
	2.5-V high-level output voltage	$V_{CC(TRGT)} = 2.3 \text{ V}, I_{OH} = -12 \text{ mA}$	1.9	—	V
	1.8-V high-level output voltage	$V_{CC(TRGT)} = 1.65 \text{ V}, I_{OH} = -8 \text{ mA}$	1.2	—	V
	1.5-V high-level output voltage	$V_{CC(TRGT)} = 1.4 \text{ V}, I_{OH} = -6 \text{ mA}$	1.0	—	V
V_{OL}	5.0-V low-level output voltage	$V_{CC(TRGT)} = 4.5 \text{ V}, I_{OL} = 32 \text{ mA}$	—	0.55	V
	3.3-V low-level output voltage	$V_{CC(TRGT)} = 3.0 \text{ V}, I_{OL} = 24 \text{ mA}$	—	0.55	V
	2.5-V low-level output voltage	$V_{CC(TRGT)} = 2.3 \text{ V}, I_{OL} = 12 \text{ mA}$	—	0.3	V
	1.8-V low-level output voltage	$V_{CC(TRGT)} = 1.65 \text{ V}, I_{OL} = 8 \text{ mA}$	—	0.45	V
	1.5-V low-level output voltage	$V_{CC(TRGT)} = 1.4 \text{ V}, I_{OL} = 6 \text{ mA}$	—	0.3	V
$I_{CC(TRGT)}$	Operating current (No Load)	$V_{CC(TRGT)} = 5.5 \text{ V}$	—	316	uA

2.7 JTAG 时序约束和波形

图 6. JTAG 信号的时序波形(从目标器件角度)



要在最大能效下(24 MHz)使用下载电缆，就需要目标器件的满足时序约束，如下表中所示。

时序约束要求您考虑器件规格以及走线传播延迟。如果不遵循建议的约束条件，则可能会遇到 24 MHz 的时序问题。如果目标设计不能满足这些约束条件，则可以通过减慢 TCK 频率来降低时序问题的可能性。请参阅“更改 TCK 频率”部分来了解在较低速度下运行下载电缆的指导说明。

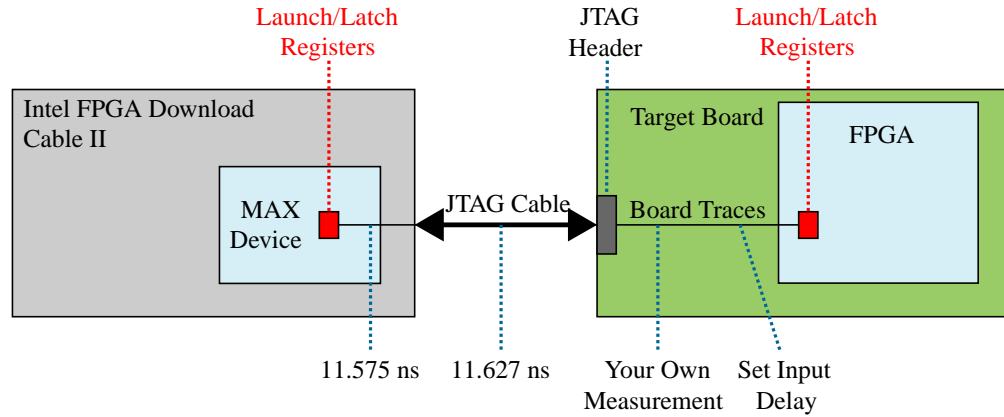
表 7. 目标器件的 JTAG 时序约束

符号	参数	最小值	最大值	单位
tJCP	TCK clock period	41.67	—	ns
tJCH	TCK clock high time	20.83	—	ns
tJCL	TCK clock low time	20.83	—	ns
tJPCO	JTAG port clock to JTAG Header output	—	5.46 (2.5 V) 2.66 (1.5 V)	ns
tJPSU_TDI	JTAG port setup time (TDI)	—	24.42	ns
tJPSU_TMS	JTAG port setup time (TMS)	—	26.43	ns
tJPH	JTAG port hold time	—	17.25	ns

仿真的时序基于一个较慢的时序模型，这是最坏情况场景环境。

关于器件特定的 JTAG 时序信息，请参考相关的器件数据手册。

图 7. Intel FPGA Download Cable II 时序约束



如果不能满足 24 MHz，那么必须将频率降到 16-6 MHz。以下是 TCK 最大频率设置为 6 MHz 的示例代码：

```
jtagconfig --setparam 1 JtagClock 6M
```

相关链接

- [更改 TCK 频率 \(第 14 页\)](#)
- [文档：数据手册](#)

2.8 更改 TCK 频率

下载电缆的默认 TCK 频率为 24 MHz。当信号完整性和时序阻止 24 MHz 操作时，需要更改下载电缆的 TCK 频率：

1. 通过路径中的 Quartus Prime bin 目录打开命令行界面(例如, C:\< Quartus Prime installed folder>\< Quartus Prime version>\quartus\bin64)。
2. 输入以下命令来修改 TCK 频率：

```
jtagconfig --setparam <cable number> JtagClock <frequency><unit prefix>
```

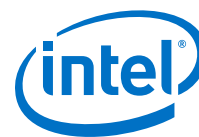
其中：

- <cable number>是要修改的下载电缆。
- <frequency>是所需的 TCK 频率。使用其中一个受支持的频率：
 - 24 MHz
 - 16 MHz
 - 6 MHz
 - 24/n MHz (10 kHz 到 6 MHz, 其中 n 代表整数)
- <unit prefix>是频率的单位前缀(例如: M 代表 MHz)。



TCK 最大频率设置为 6 MHz 的实例:

```
jtagconfig --setparam 1 JtagClock 6M
```



A 附加信息

A.1 文档修订历史

表 8. Intel FPGA Download Cable II 用户指南修订历史

日期	版本	修订内容
2016 年 10 月	2016.10.28	USB-Blaster II 重新命名为 Intel FPGA Download Cable II。
2015 年 12 月	2015.12.11	更新的章节： <ul style="list-style-type: none"> 受支持的器件和系统 使用 Quartus II 软件设置 USB-Blaster II 硬件 电压要求 10 针母头信号名称和编程模式
2014 年 9 月	1.2	<ul style="list-style-type: none"> 补充内容：USB-II 下载电缆支持高级加密标准(AES)密钥和引信(fuse)编程。 在图 1-1 中增添了品红色 LED 支持多个电缆使用。 对指向特定器件 JTAG 时序信息的交叉引用进行了说明。
2014 年 6 月	1.1	<ul style="list-style-type: none"> 在图 1-1 中添加了 LED 颜色表。 添加了“JTAG 时序约束和波形”部分。 添加了“更改 TCK 频率”部分。
2014 年 1 月	1.0	首次发布。



A.2 认证声明

A.2.1 RoHS Compliance

下表列出了下载电缆包含的危险物质。

值为 0 表示部件中所有均质材料中有害物质的浓度低于 SJ/T11363-2006 标准规定的相关阈值。

表 9. 有害物质和浓度

部件名称	铅(Pb)	镉(Cd)	六价铬(Cr6+)	汞(Hg)	多溴联苯(PBB)	多溴二苯醚(PBDE)
电子元器件	0	0	0	0	0	0
密集电路板	0	0	0	0	0	0
制造工艺	0	0	0	0	0	0
封装	0	0	0	0	0	0

A.2.2 USB 2.0 认证

本产品经过 USB 2.0 认证。

A.2.3 CE EMI 一致性提醒

此电路板的交付使用符合 Directive 2004/108/EC 制定的相关标准。由于可编程逻辑器件的自身特点，用户有可能会因为修改此套件而产生超出此设备所限制的电磁干扰(EMI)。用户擅自对交付产品进行修改而导致的任何 EMI 都要由用户本人负责。

